

2T
28N
Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference F004663 WO00	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP99/06091	International filing date (<i>day/month/year</i>) 01 November 1999 (01.11.99)	Priority date (<i>day/month/year</i>) 02 December 1998 (02.12.98)
International Patent Classification (IPC) or national classification and IPC H03B 5/32, H03H 9/10, 3/02		
Applicant SEIKO EPSON CORPORATION		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.	
2. This REPORT consists of a total of <u>5</u> sheets, including this cover sheet.	
<input type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT). These annexes consist of a total of _____ sheets.	
3. This report contains indications relating to the following items:	
I	<input checked="" type="checkbox"/> Basis of the report
II	<input type="checkbox"/> Priority
III	<input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
IV	<input type="checkbox"/> Lack of unity of invention
V	<input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
VI	<input type="checkbox"/> Certain documents cited
VII	<input type="checkbox"/> Certain defects in the international application
VIII	<input checked="" type="checkbox"/> Certain observations on the international application

Date of submission of the demand 15 March 2000 (15.03.00)	Date of completion of this report 13 September 2000 (13.09.2000)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

I. Basis of the report**1. With regard to the elements of the international application:***

- ☒ the international application as originally filed
- ☐ the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the claims:
pages _____, as originally filed
pages _____, as amended (together with any statement under Article 19
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the drawings:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/06091

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-32	YES
	Claims		NO
Inventive step (IS)	Claims	6,10-13,18,23,24,29,30,32	YES
	Claims	1-5,7-9,14-17,19-22,25-28,31	NO
Industrial applicability (IA)	Claims	1-32	YES
	Claims		NO

2. Citations and explanations

The subject matter of claim 1 does not appear to involve an inventive step on account of document 1 [JP, 7-297666, A (DAISHINKU CO.)] cited in the ISR.

Document 1 describes a piezoelectric device with an aperture formed in a base upon which an electrode pattern is formed, and mounting a semiconductor integrated circuit in the aperture (see Fig. 1). Based on the description in paragraph 0010 and paragraph 0014 and the drawings, both the base and semiconductor integrated circuit can be understood as connecting to the electrode pad present at their contact surfaces. Since flip-chip bonding art, which is a well-known means, appears to be used here, using this sort of connection configuration appears to provide a plurality of bumps at the semiconductor integrated circuit.

Incidentally, in the piezoelectric device described in document 1 the aperture is provided not in the center but at an offset location, but if a semiconductor integrated circuit is not used in a piezoelectric plate's stress distribution there is no reason to provide it at an offset location, and in this case it is usually provided in the center (see Fig. 4 for example).

The subject matter of claim 2 does not appear to involve an inventive step on account of document 1 and document 6 [JP, 9-148381, A (DAI NIPPON PRINTING CO., LTD.)] and document 9 [JP, 8-222606, A (ALPS ELECTRIC CO., LTD.)] cited in the ISR.

Documents 6 and 9 describe forming bumps for a semiconductor integrated circuit that are evenly spaced (see Fig. 1 in both document 6 and document 9).

The subject matter of claim 3 does not appear to involve an inventive step on account of document 1 and document 8 [JP, 4-18732, A (MITSUBISHI ELECTRIC CORPORATION)] cited in the ISR.

Document 8 describes forming bumps for a semiconductor integrated circuit in concentric circles (see Fig. 1).

The subject matter of claims 4 and 5 does not appear to involve an inventive step on account of document 1 and document 9.

Document 9, paragraph 0031, describes connecting bumps to a dummy pattern. The bumps are connected to a dummy pattern, so they appear to be dummy bumps.

The subject matter of claim 7 does not appear to involve an inventive step on account of document 1 and document 7 [JP, 8-264540, A (NEC CORPORATION)] cited in the ISR.

Document 7 describes a two-level bump shape wherein the diameter of the tip level is smaller than the base's (see Fig. 2). How to adjust the diameter ratio is a mere matter of design variation.

Supplemental Box

(To be used when the space in any of the preceding boxes is not sufficient)

Continuation of Box V (Citations and explanations):

The subject matter of claim 8 does not appear to involve an inventive step on account of document 1. Document 1 describes forming a base on a ceramic multilayer substrate.

The subject matter of claim 9 does not appear to involve an inventive step on account of document 1 and document 5 [JP, 10-284972, A (TOYO COMMUNICATIONS EQUIPMENT CO., LTD.)] cited in the ISR and document 6 and document 7.

Documents 5, 6, and 7 describe forming bumps of metal. (See paragraph 0006 in document 5, paragraph 0019 in document 6, and paragraph 0015 in document 7.)

The subject matter of claims 14, 15, and 20 does not appear to involve an inventive step on account of document 1 and document 6.

Document 6 describes forming bumps equally spaced on two sides facing a semiconductor integrated circuit (see Fig. 1). Also, document 1 describes forming a base on a ceramic multilayer substrate.

The subject matter of claims 16 and 17 does not appear to involve an inventive step on account of document 1 and document 6 and document 9.

Document 9 describes connecting dummy bumps to a dummy pattern.

The subject matter of claim 19 does not appear to involve an inventive step on account of document 6 and document 7.

Document 7 describes a bump with a two-level shape.

The subject matter of claim 21 does not appear to involve an inventive step on account of document 1 and document 6.

Document 6 describes forming bumps of metal. Furthermore, forming bumps of metal is also described in documents 5 and 7.

The subject matter of claims 22 and 27 does not appear to involve an inventive step on account of document 1 and document 6.

Document 6 describes bonding bumps and pads using ultrasonic waves (see paragraph 0006). Also, document 1 describes forming a base on a ceramic multilayer substrate. Furthermore, flip bonding art using ultrasonic waves is also disclosed in document 5 (see paragraph 0006).

The subject matter of claims 25 and 26 does not appear to involve an inventive step on account of document 6 and document 7.

Document 7 describes a bump with a two-level shape. The specific setting for each dimension of the bump is a mere matter of design variation.

The subject matter of claim 28 does not appear to involve an inventive step on account of document 1 and document 6.

Document 6 describes forming bumps of metal. Furthermore, forming bumps of metal is also described in documents 5 and 7.

The subject matter of claim 31 does not appear to involve an inventive step on account of document 1 and document 5 or 6.

Documents 5 and 6 describe connecting by bonding with ultrasonic waves. If ultrasonic wave bonding is used, performing detection in the semiconductor integrated circuit's height direction appears obvious.

VIII. Certain observations on the international application

The following observations on the clarity of the claims, description, and drawings or on the question whether the claims are fully supported by the description, are made:

The specification uses the term "equally spaced" to describe the disposition of bumps, but it is unclear how they are equally spaced. According to the specification Fig. 7 is an example of bumps disposed with equal spacing, but it is unclear how this sort of disposition is equally spaced. (The three-bump sets in the upper left, upper right, lower left and lower right appear to be disposed with equal spacing, but looking at all the bumps it is difficult to say that they are equally spaced.)

Similarly, the specification says "formed in concentric circles," but it is unclear how these concentric circles are formed. If there are plenty of concentric circles, each with a different radius, all of the bumps can be disposed on some concentric circle no matter how they are disposed. In this sense, regardless of the disposition, one can say that everything is "in concentric circles," but clearly this has no technical significance.

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT 36条及びPCT規則70]

REC'D 03 OCT 2000

WIPO

PCT

出願人又は代理人 の書類記号 F004663W000	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/J P 99/06091	国際出願日 (日.月.年) 01.11.99	優先日 (日.月.年) 02.12.98
国際特許分類 (IPC) Int.Cl ⁷	H03B 5/32	H03H 3/02 H03H 9/10
出願人 (氏名又は名称) セイコーエプソン株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT 36条)の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 5 ページからなる。

☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。

(PCT規則70.16及びPCT実施細則第607号参照)

この附属書類は、全部で ページである。

3. この国際予備審査報告は、次の内容を含む。

I ☒ 国際予備審査報告の基礎II ☐ 優先権III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成IV ☐ 発明の単一性の欠如V ☒ PCT 35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明VI ☐ ある種の引用文献VII ☐ 国際出願の不備VIII ☒ 国際出願に対する意見

国際予備審査の請求書を受理した日 15.03.00	国際予備審査報告を作成した日 13.09.00	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 丸山 高政	5W 9570
電話番号 03-3581-1101 内線 3576		

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- | | | |
|-------------------------------------|----------------|----------------------|
| <input type="checkbox"/> 明細書 | 第 _____ ページ、 | 出願時に提出されたもの |
| <input type="checkbox"/> 明細書 | 第 _____ ページ、 | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 明細書 | 第 _____ ページ、 | _____ 付の書簡と共に提出されたもの |
| <input type="checkbox"/> 請求の範囲 | 第 _____ 項、 | 出願時に提出されたもの |
| <input type="checkbox"/> 請求の範囲 | 第 _____ 項、 | PCT19条の規定に基づき補正されたもの |
| <input type="checkbox"/> 請求の範囲 | 第 _____ 項、 | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 請求の範囲 | 第 _____ 項、 | _____ 付の書簡と共に提出されたもの |
| <input type="checkbox"/> 図面 | 第 _____ ページ/図、 | 出願時に提出されたもの |
| <input type="checkbox"/> 図面 | 第 _____ ページ/図、 | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 図面 | 第 _____ ページ/図、 | _____ 付の書簡と共に提出されたもの |
| <input type="checkbox"/> 明細書の配列表の部分 | 第 _____ ページ、 | 出願時に提出されたもの |
| <input type="checkbox"/> 明細書の配列表の部分 | 第 _____ ページ、 | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 明細書の配列表の部分 | 第 _____ ページ、 | _____ 付の書簡と共に提出されたもの |

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲	1-32	有
	請求の範囲		無
進歩性(IS)	請求の範囲	6, 10-13, 18, 23, 24, 29, 30, 32	有
	請求の範囲	1-5, 7-9, 14-17, 19-22, 25-28, 31	無
産業上の利用可能性(IA)	請求の範囲	1-32	有
	請求の範囲		無

2. 文献及び説明(PCT規則70.7)

請求の範囲1は、国際調査報告で引用された文献1(JP, 7-297666, A(大真空)...)により進歩性を有しない。

文献1には、電極パターンが形成されたベースに開口部が形成され、開口部に半導体集積回路が搭載された圧電デバイスが記載されており(図1参照)、ベースと半導体集積回路とは、第0010段落及び第0014段落の記載並びに図面から、両者の接触面に存在する電極パッドにて導通していることが理解できる。このような接続形態となるのは、周知技術であるフリップチップボンディング技術を用いた場合であると認められるから、半導体集積回路には複数のバンプが設けられていると認められる。

ところで、文献1に記載された圧電デバイスでは、開口部はセンターではなく偏った位置に設けられているが、半導体集積回路を圧電板の応力分散に用いないのであれば偏った位置に設ける理由はなく、この場合、センターに設けるのが一般的である(例えば図4参照)。

請求の範囲2は、文献1及び国際調査報告で引用された文献6(JP, 9-148381, A(大日本印刷株式会社)...)又は文献9(JP, 8-222606, A(アルプス電気株式会社)...)により進歩性を有しない。

文献6又は9には、半導体集積回路のバンプが等間隔に形成されているものが記載されている(文献6、文献9ともに図1参照)。

請求の範囲3は、文献1及び国際調査報告で引用された文献8(JP, 4-18732, A(三菱電機株式会社)...)により進歩性を有しない。

文献8には、半導体集積回路のバンプが同心円上に形成されているものが記載されている(第1図参照)。

請求の範囲4及び5は、文献1及び文献9により進歩性を有しない。

文献9第0031段落にはダミーパターンにバンプを接続することが記載されている。該バンプはダミーパターンに接続されているのだから、ダミーバンプであると認められる。

請求の範囲7は文献1及び国際調査報告で引用した文献7(JP, 8-264540, A(日本電気株式会社)...)により進歩性を有しない。

文献7には先端段の直径が基部よりも小さい2段形状のバンプが記載されている(図2参照)。直径の比率を如何様にするかは、設計的事項である。

Ⅶ. 国際出願に対する意見

請求の範囲、明細書及び図面の明瞭性又は請求の範囲の明細書による十分な裏付についての意見を次に示す。

明細書中にてバンプの配置について「等間隔」という言葉が使用されているが、何をもって等間隔とするのかが不明瞭である。明細書によれば、図7は等間隔に配置されたバンプの例であるが、このような配置がどのように等間隔なのかが不明瞭である。(左上、右上、左下、右下の各々3つずつのバンプは等間隔に配置されている様に見えるが、全バンプについてみれば、決して等間隔とはいえない。)

同様に「同心円上に形成」とあるが、何をもって同心円上とするのかが不明瞭である。各々半径の違う同心円を十分に沢山とれば、いかなる配置であっても全てのバンプを同心円のいずれかの上にのせることができる。この意味においては、どのような配置であったとしても、全て「同心円上」にあると言えるが、それでは技術的意義を持たないことは明らかである。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 V 欄の続き

請求の範囲 8 は文献 1 により進歩性を有しない。
文献 1 にはベースをセラミックの積層基板で形成することが記載されている。

請求の範囲 9 は文献 1 及び国際調査報告で引用した文献 5 (JP, 10-284972, A (東洋通信機株式会社) …)、文献 6 又は文献 7 により進歩性を有しない。
文献 5、6 又は 7 には、バンプを金で形成することが記載されている (文献 5 は第 0006 段落、文献 6 は第 0019 段落、文献 7 は第 0015 段落を参照)。

請求の範囲 14、15 及び 20 は文献 1 及び文献 6 により進歩性を有しない。
文献 6 には半導体集積回路の対向する 2 辺にバンプを等間隔に形成することが記載されている (図 1 参照)。また、文献 1 にはベースをセラミックの積層基板で形成することが記載されている。

請求の範囲 16 及び 17 は文献 1、文献 6 及び文献 9 により進歩性を有しない。
文献 9 にはダミーバンプをダミーパターンに接続することが記載されている。

請求の範囲 19 は文献 1、文献 6 及び文献 7 により進歩性を有しない。
文献 7 には 2 段形状のバンプが記載されている。

請求の範囲 21 は文献 1 及び文献 6 により進歩性を有しない。
文献 6 にはバンプを金で形成することが記載されている。なお、バンプを金で形成することについては、文献 5 又は 7 にも記載されている。

請求の範囲 22 及び 27 は文献 1 及び文献 6 により進歩性を有しない。
文献 6 にはバンプとパッドとを超音波を利用して接合することが記載されている (第 0006 段落参照)。また、文献 1 にはベースをセラミックの積層基板で形成することが記載されている。なお、超音波によるフリップボンディング技術は、文献 5 にも開示されている (第 0006 段落)。

請求の範囲 25 及び 26 は文献 1、文献 6 及び文献 7 により進歩性を有しない。
文献 7 には 2 段形状のバンプが記載されている。バンプの各寸法を具体的にどの程度に設定するかは、設計的事項である。

請求の範囲 28 は文献 1 及び文献 6 により進歩性を有しない。
文献 6 にはバンプを金で形成することが記載されている。なおバンプを金で形成することについては、文献 5 又は 7 にも記載されている。

請求の範囲 31 は文献 1 及び文献 5 又は 6 により進歩性を有しない。
文献 5 又は 6 には超音波接合による接続が記載されている。超音波接合を行うならば、当然、半導体集積回路の高さ方向の検出を行っていると認められる。

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06091

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷

H03B 5/32 H03H 9/10 H03H 3/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷

H03B 5/30 - 5/42

H01L21/00 H03H 3/02 H03H 9/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST (JOIS)

INSPEC (DIALOG)

WPI/L (DIALOG)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 7-297666, A (Daishinku Co.), 10 November, 1995 (10.11.95) (Family: none)	1-5, 7-9, 14-17, 19-22, 25-28, 31, 32
A		6, 10-13, 18, 23, 24, 29, 30
EY	JP, 11-186850, A (SII Quartz Techno K.K.), 09 July, 1999 (09.07.99) (Family: none)	1-5, 7-9, 14-17, 19-22, 25-28, 31, 32
EA		6, 10-13, 18, 23, 24, 29, 30
EY	JP, 11-308052, A (Toyo Communication Equipment Co., Ltd.), 05 November, 1999 (05.11.99), especially, Fig. 4 and page 2, left column, line 36 to right column, line 19 (Family: none)	1-5, 7-9, 14-17, 19-22, 25-28, 31, 32
EA		6, 10-13, 18, 23, 24, 29, 30
EX	JP, 11-354587, A (Toyo Communication Equipment Co., Ltd.), 24 December, 1999 (24.12.99) (Family: none)	14, 20, 21
EY		1-5, 7-9, 15-17, 19, 22, 25-28, 31, 32

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 January, 2000 (21.01.00)

Date of mailing of the international search report
01 February, 2000 (01.02.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No

Telephone No

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06091

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
EA		6, 10-13, 18, 23, 24, 29, 30
Y	JP, 10-284972, A (Toyo Communication Equipment Co., Ltd.), 23 October, 1998 (23.10.98), especially, page 3, left column, lines 25-31 (Family: none)	9, 21, 22, 28, 31, 32
Y	JP, 9-148381, A (Dainippon Printing Co., Ltd.), 06 June, 1997 (06.06.97) (Family: none)	2, 9, 14, 15, 21, 22, 28, 31, 32
Y	JP, 8-264540, A (NEC Corporation), 11 October, 1996 (11.10.96) (Family: none)	7, 9, 19, 21, 25, 26, 28
Y	JP, 4-18732, A (Mitsubishi Electric Corporation), 22 January, 1992 (22.01.92) (Family: none)	3
Y	JP, 8-222606, A (Alps Electric Co., Ltd.), 30 August, 1996 (30.08.96) (Family: none)	2, 4, 5, 15-17
A	H. Yatsuda, T. Horishima, T. Eimura, and T. Ooiwa, "Miniaturized SAW Filters Using a Flip-Chip Technique," IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, Vol.43, No.1, (Jan 1996), pp.125-129	1-32

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 F004663W000	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JP99/06091	国際出願日 (日.月.年) 01.11.99	優先日 (日.月.年) 02.12.98
出願人(氏名又は名称) セイコーエプソン株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1(b) 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷

H03B 5/32 H03H 9/10 H03H 3/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷H03B 5/30 - 5/42
H01L21/00 H03H 3/02 H03H 9/10

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

JICSTファイル (JOIS)

INSPEC (DIALOG)

WPI/L (DIALOG)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP, 7-297666, A (大真空) 10. 11月. 1995 (10. 11. 95) (ファミリーなし)	1-5, 7-9, 14-17, 19-22, 25-28, 31, 32 6, 10-13, 18, 23, 24, 29, 30

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

21. 01. 00

国際調査報告の発送日

01 02 00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

丸山 高政

5W

9570

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
EY, EA	JP, 11-186850, A (株式会社エスアイアイ・クォーツテクノ) 9. 7月. 1999 (09. 07. 99) (ファミリーなし)	1-5, 7-9, 14-17, 19-22, 25-28, 31, 32 6, 10-13, 18, 23, 24, 29, 30
EY EA	JP, 11-308052, A (東洋通信機株式会社) 5. 11月. 1999 (05. 11. 99) 特に図4及び第2頁左欄第36行~同右欄第19行参照 (ファミリーなし)	1-5, 7-9, 14-17, 19-22, 25-28, 31, 32 6, 10-13, 18, 23, 24, 29, 30
EX EY EA	JP, 11-354587, A (東洋通信機株式会社) 24. 12月. 1999 (24. 12. 99) (ファミリーなし)	14, 20, 21 1-5, 7-9, 15-17, 19, 22, 25-28, 31, 32 6, 10-13, 18, 23, 24, 29, 30
Y	JP, 10-284972, A (東洋通信機株式会社) 23. 10月. 1998 (23. 10. 98) 特に第3頁左欄第25行~第31行参照 (ファミリーなし)	9, 21, 22, 28, 31, 32
Y	JP, 9-148381, A (大日本印刷株式会社) 6. 6月. 1997 (06. 06. 97) (ファミリーなし)	2, 9, 14, 15, 21, 22, 28, 31, 32
Y	JP, 8-264540, A (日本電気株式会社) 11. 10月. 1996 (11. 10. 96) (ファミリーなし)	7, 9, 19, 21, 25, 26, 28
Y	JP, 4-18732, A (三菱電機株式会社) 22. 1月. 1992 (22. 01. 92) (ファミリーなし)	3
Y	JP, 8-222606, A (アルプス電気株式会社) 30. 8月. 1996 (30. 08. 96) (ファミリーなし)	2, 4, 5, 15-17
A	H. Yatsuda, T. Horishima, T. Eimura, and T. Ooiwa, "Miniaturized SAW Filters Using a Flip-Chip Technique," IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, Vol.43, No.1, (Jan 1996), pp.125-129	1-32

PCT REQUEST

1/4

F004663WO00

0	For receiving Office use only	
0-1	International Application No.	
0-2	International Filing Date	
0-3	Name of receiving Office and "PCT International Application"	
0-4	Form - PCT/RO/101 PCT Request	
0-4-1	Prepared using	PCT-EASY Version 2.91 (updated 01.01.2001)
0-5	Petition The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
0-6	Receiving Office (specified by the applicant)	Japanese Patent Office (RO/JP)
0-7	Applicant's or agent's file reference	F004663WO00
I	Title of invention	PIEZOELECTRIC DEVICE AND METHOD FOR MANUFACTURING THE SAME
II	Applicant	
II-1	This person is:	applicant only
II-2	Applicant for	all designated States except US
II-4	Name	SEIKO EPSON CORPORATION
II-5	Address:	4-1, Nishi-Shinjuku 2-chome Shinjuku-ku, Tokyo 163-0811 Japan
II-6	State of nationality	JP
II-7	State of residence	JP
III-1	Applicant and/or inventor	
III-1-1	This person is:	applicant and inventor
III-1-2	Applicant for	US only
III-1-4	Name (LAST, First)	KIKUSHIMA , Masayuki
III-1-5	Address:	c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan
III-1-6	State of nationality	JP
III-1-7	State of residence	JP

IV-1	Agent or common representative; or address for correspondence The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	agent
IV-1-1	Name (LAST, First)	SUZUKI, Kisaburo
IV-1-2	Address:	c/o SEIKO EPSON CORPORATION Intellectual Property Division 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan
IV-1-3	Telephone No.	0266-52-3139
IV-1-4	Facsimile No.	0266-58-3243
IV-2	Additional agent(s)	additional agent(s) with same address as first named agent
IV-2-1	Name(s)	KAMIYANAGI, Masataka; SUZAWA, Osamu
V	Designation of States	
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	--
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	JP US
V-5	Precautionary Designation Statement In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.	
V-6	Exclusion(s) from precautionary designations	NONE
VI-1	Priority claim of earlier national application	
VI-1-1	Filing date	02 December 1998 (02.12.1998)
VI-1-2	Number	10-343087 (P)
VI-1-3	Country	JP
VI-2	Priority claim of earlier national application	
VI-2-1	Filing date	28 January 1999 (28.01.1999)
VI-2-2	Number	11-020151 (P)
VI-2-3	Country	JP

PCT REQUEST

3/4

F004663WO00

VI-3	Priority document request The receiving Office is requested to prepare and transmit to the International Bureau a certified copy of the earlier application(s) identified above as item(s):	VI-1, VI-2	
VII-1	International Searching Authority Chosen	Japanese Patent Office (JPO) (ISA/JP)	
VIII	Check list	number of sheets	electronic file(s) attached
VIII-1	Request	4	-
VIII-2	Description	20	-
VIII-3	Claims	6	-
VIII-4	Abstract	1	-
VIII-5	Drawings	12	- f004663wo00.txt
VIII-7	TOTAL	43	-
	Accompanying items	paper document(s) attached	electronic file(s) attached
VIII-8	Fee calculation sheet	✓	-
VIII-9	Separate signed power of attorney	✓	-
VIII-16	PCT-EASY diskette	-	diskette
VIII-18	Figure of the drawings which should accompany the abstract	1(b)	
VIII-19	Language of filing of the international application	Japanese	
IX-1	Signature of applicant or agent		
IX-1-1	Name (LAST, First)	SUZUKI, Kisaburo	
IX-2	Signature of applicant or agent		
IX-2-1	Name (LAST, First)	KAMIYANAGI, Masataka	
IX-3	Signature of applicant or agent		
IX-3-1	Name (LAST, First)	SUZAWA, Osamu	

FOR RECEIVING OFFICE USE ONLY

10-1	Date of actual receipt of the purported international application	
10-2	Drawings:	
10-2-1	Received	
10-2-2	Not received	
10-3	Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application	
10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	ISA/JP
10-6	Transmittal of search copy delayed until search fee is paid	

PCT REQUEST

4/4

F004663WO00

FOR INTERNATIONAL BUREAU USE ONLY

11-1	Date of receipt of the record copy by the International Bureau	
------	---	--

(54) SEMICONDUCTOR DEVICE

(11) 4-18730 (A) (43) 22.1.1992 (19) JP

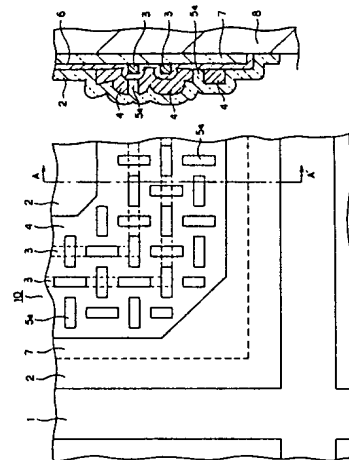
(21) Appl. No. 2-122560 (22) 11.5.1990

(71) NEC CORP (72) YASURO IKEDA

(51) Int. Cl.⁵. H01L21/3205, H01L21/90

PURPOSE: To avoid short circuit between upper and lower wirings due to thermal stress for enhancing the reliability by a method wherein opening parts are arranged on the width expansion part of the upper layer wiring having the width expansion part exceeding the specific value of the wiring width so that the straight line in parallel with the outer sidewall of the wiring in the width expansion part excluding the peripheral part thereof may come into contact with at least one opening part or abut against the same.

CONSTITUTION: Multiple strip type opening parts 5a are arranged on one side of the second layer Al wiring 4 to be filled up with a silicon nitride film 2 as a cover film so that the silicon nitride film 2 and an interlayer silicon oxide film 6 may be directly connected to make piles of insulating films in the wiring 4. The absolute values in deformation amounts of the plastic deformation of the wiring 4 caused by the stress due to the thermal expansion of the molding material of a package during the temperature cycle testing process as well as the plastic deformation caused by the stress migration of the wiring 4 itself are prevented from increasing. Accordingly, the stress imposed on the oxide film 6 can be relieved thereby enabling short-circuiting between the first layer Al wiring 3 and the wiring 4 due to the breakdown of the oxide film 6 to be avoided.

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 4-18731 (A) (43) 22.1.1992 (19) JP

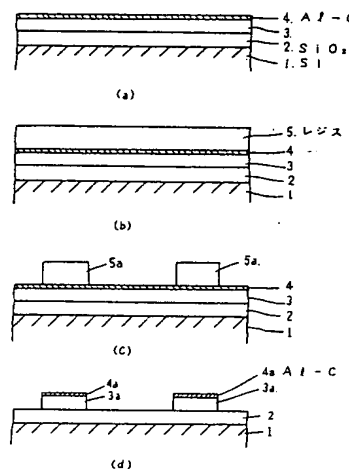
(21) Appl. No. 2-122481 (22) 11.5.1990

(71) FUJITSU LTD (72) KIYOSHI OZAWA

(51) Int. Cl.⁵. H01L21/3205

PURPOSE: To form the wirings having high resistance to electromigration and stress migration by a method wherein a semiconductor device having the wiring of Al or Al alloy mainly comprising Al and Al-C alloy coating closely adhering to the wiring formed on a semiconductor substrate is manufactured.

CONSTITUTION: An SiO₂ layer as an insulating layer is formed on an Si substrate 1 and then Al as a wiring layer 3 is deposited on the SiO₂ layer 2. An Al-C is deposited on the wiring layer 3 to form an Al-C alloy layer 4. A resist layer 5 is formed on the Al-C alloy layer 4 to form resist masks 5a using an exposure mask for wiring formation. The Al-C alloy layer 4 and the wiring layer 3 are etched away using the resist masks 5a. Through these procedures, the wirings 3a where the Al-C alloy coatings 4a closely adhere are formed with high dimensional precision on the surface.

**(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**

(11) 4-18732 (A) (43) 22.1.1992 (19) JP

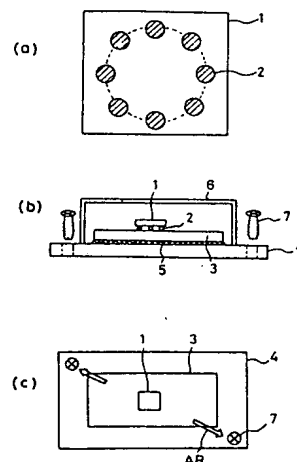
(21) Appl. No. 2-121844 (22) 12.5.1990

(71) MITSUBISHI ELECTRIC CORP (72) MOTOHIDE MIYOSHI

(51) Int. Cl.⁵. H01L21/321, H01L21/60

PURPOSE: To manufacture the title semiconductor integrated circuit device in high reliability capable of scattering outer stress in omni-directions to adjacent parts by arranging multiple bump electrodes in concentric circular shape.

CONSTITUTION: This hybrid IC is fixed to a heat sink 4 by a screw 7 when assembled into a set. When bumps 2 are arranged on a flip flop IC 1 in concentric circular shape, even if the stress in the screw tightening direction of the heat sink 4 is imposed on the soldered parts of the bumps 2, the stress in the specific direction is evenly imposed on respective bumps 3 since the stress is scattered to adjacent bumps thereby enabling the stress concentration on a specific bump to be avoided.





(51) 国際特許分類7 H03B 5/32, H03H 9/10, 3/02	A1	(11) 国際公開番号 WO00/33455 (43) 国際公開日 2000年6月8日(08.06.00)
(21) 国際出願番号 PCT/JP99/06091 (22) 国際出願日 1999年11月1日(01.11.99) (30) 優先権データ 特願平10/343087 1998年12月2日(02.12.98) JP 特願平11/020151 1999年1月28日(28.01.99) JP (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてののみ) 菊島正幸(KIKUSHIMA, Masayuki)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP)		(81) 指定国 JP, US 添付公開書類 国際調査報告書
(54) Title: PIEZOELECTRIC DEVICE AND METHOD OF MANUFACTURE THEREOF		
(54) 発明の名称 圧電デバイス及びその製造方法		
<div data-bbox="292 1323 1282 1638"> </div>		
(57) Abstract A base (1), on which input/output electrode patterns (3) are formed, has an opening in the center. On the other hand, an integrated circuit (2) has an active surface, on which a number of bumps (4) are formed toward its two opposite sides, and the integrated circuit (2) is placed over the center of the opening. The integrated circuit (2) is connected with the electrode patterns (3) on the base (1) through the bumps (4) by ultrasonic bonding. This method improves the connection between the integrated circuit and the base that are joined by flip-chip bonding, and provides a low-cost, small-sized, reliable thin piezoelectric device capable of resisting mechanical and thermal shocks.		



<p>(51) 国際特許分類7 H03B 5/32, H03H 9/10, 3/02</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/33455</p> <p>(43) 国際公開日 2000年6月8日(08.06.00)</p>
<p>(21) 国際出願番号 PCT/JP99/06091</p> <p>(22) 国際出願日 1999年11月1日(01.11.99)</p> <p>(30) 優先権データ 特願平10/343087 1998年12月2日(02.12.98) JP 特願平11/020151 1999年1月28日(28.01.99) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 菊島正幸(KIKUSHIMA, Masayuki)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP)</p>		<p>(81) 指定国 JP, US</p> <p>添付公開書類 国際調査報告書</p>
<p>(54)Title: PIEZOELECTRIC DEVICE AND METHOD OF MANUFACTURE THEREOF</p> <p>(54)発明の名称 圧電デバイス及びその製造方法</p> <div data-bbox="337 1329 1224 1633" data-label="Image"> </div> <p>(57) Abstract</p> <p>A base (1), on which input/output electrode patterns (3) are formed, has an opening in the center. On the other hand, an integrated circuit (2) has an active surface, on which a number of bumps (4) are formed toward its two opposite sides, and the integrated circuit (2) is placed over the center of the opening. The integrated circuit (2) is connected with the electrode patterns (3) on the base (1) through the bumps (4) by ultrasonic bonding. This method improves the connection between the integrated circuit and the base that are joined by flip-chip bonding, and provides a low-cost, small-sized, reliable thin piezoelectric device capable of resisting mechanical and thermal shocks.</p>		

入出力用の電極パターン 3 が形成されたベース 1 のセンターには、開口部が形成されている。一方、半導体集積回路 2 の能動素子面の対向する 2 辺には、複数のバンプ 4 が形成されており、開口部のセンターに半導体集積回路 2 が搭載されるようになっている。そして、半導体集積回路 2 は、ベース 1 の電極パターン 3 と複数のバンプ 4 により超音波接合手段により接合されている。これによって、フリップチップボンディングした半導体集積回路とベースとの接合特性の良い、機械的なショックや熱衝撃等に強く高信頼性の安価な小型薄型の圧電デバイス及びその製造方法を提供する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SN	セネガル
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MC	モナコ	TD	チャード
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TF	トランスバール
BR	ブラジル	GW	ギニア・ビサウ	MG	マダガスカル	TJ	タジキスタン
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TZ	タンザニア
CA	カナダ	HR	クロアチア			TM	トルクメニスタン
CC	中央アフリカ	HU	ハンガリー	ML	マリ	TR	トルコ
CG	コンゴ	ID	インドネシア	MN	モンゴル	TT	トリニダード・トバゴ
CH	スイス	IE	アイルランド	MR	モーリタニア	UA	ウクライナ
CI	コートジボワール	IL	イスラエル	MW	マラウイ	UG	ウガンダ
CM	カメルーン	IN	インド	MX	メキシコ	US	米国
CN	中国	IS	アイスランド	NE	ニジェール	UZ	ウズベキスタン
CR	コスタ・リカ	IT	イタリア	NL	オランダ	VN	ヴェトナム
CU	キューバ	JP	日本	NO	ノルウェー	YU	ユーゴスラビア
CY	キプロス	KE	ケニア	NZ	ニュージーランド	ZA	南アフリカ共和国
CZ	チェコ	KG	キルギスタン	PL	ポーランド	ZW	ジンバブエ
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明 細 書

圧電デバイス及びその製造方法

技術分野

本発明は、半導体集積回路と圧電振動子とをパッケージに内蔵した圧電デバイス及びその製造方法に関するものである。

背景技術

近年、HDD（ハード・ディスク・ドライブ）、モバイルコンピュータ、あるいはICカード等の小型の情報機器や、携帯電話や自動車電話等の移動体通信機器において装置の小型薄型化がめざましく、それらに用いられる圧電発振器や電圧制御発振器（VCXO）や温度補償発振器（TCXO）やSAW発振器、あるいはリアルタイムクロックモジュール等の圧電デバイスも小型薄型化が要求されている。又、それとともに、装置の回路基板に両面実装が可能な表面実装タイプの圧電デバイスが求められている。

そこで、従来の圧電デバイスの一例を、発振回路を有するワンチップの半導体集積回路と、圧電振動子にATカット水晶振動子とを用いた第16図（a）、第16図（b）の構造図で示される水晶発振器を用いて説明する。

第16図（a）、第16図（b）の従来の水晶発振器の構成において、発振回路を有するICチップ101は、セラミック絶縁基板で形成されたベース102の底面に導電性接着剤等により接着固定され、Auワイヤーボンディング線103により、ベース102の底面外周部にW（タングステン）あるいはMo（モリブデン）等の金属でメタライズされ

、NiメッキとAuメッキで多層メッキされた入出力用電極104等に電氣的に接続されている。具体的に説明すると、ICチップ101には複数の電極108が設けられており、これらの電極108がワイヤーボンディング線103によって上述の入出力用電極104等に電氣的に接続される。

又、矩形タイプのATカット水晶振動子105が、ベース102のマウント部106に導電性接着剤等で電氣的に接続され固定されている。そして、N₂（窒素）雰囲気あるいは真空雰囲気に内部を保ち、ベース102の最上部のメッキ層と、金属製のリッド107とをリッド107に形成された半田等の金属クラッド材を高温にて熔融させて接合し気密に封止している。

以上に示す従来の水晶発振器は、ICチップ101の周囲にAuワイヤーボンディング線103を配線するエリアが必要であること、又、パッケージの厚み方向でも、Auワイヤーボンディング線103のループ高さの確保や、Auワイヤーボンディング線103とATカット水晶振動子105との隙間の確保が必要であること等、この構成が水晶発振器を小型薄型にするための制約となっている。

本発明の目的は、上記課題を解消して、機械的な衝撃に強く、小型薄型サイズで主に厚み1mm以下の水晶発振器等の圧電デバイスを安価に提供すること及びその製造方法を提供することである。

発明の開示

請求の範囲第1項の発明は、半導体集積回路と圧電振動子とをパッケージに内蔵した圧電デバイスにおいて、入出力用の電極パターンが形成されたベースのセンターに開口部が形成され、前記開口部のセンターに前記半導体集積回路が搭載され、前記半導体集積回路は前記ベースの電

極パターンと複数のバンブにより接合されていることを特徴とする圧電デバイスである。

請求の範囲第 2 項の発明は、請求の範囲第 1 項の構成において、前記半導体集積回路に形成された複数のバンブが、前記半導体集積回路の能動素子面のセンター周辺に等間隔に形成されていることを特徴とする。

請求の範囲第 3 項の発明は、請求の範囲第 1 項の構成において、前記半導体集積回路に形成された複数のバンブが、前記半導体集積回路の能動素子面のセンターを中心として、同心円上に形成されていることを特徴とする。

請求の範囲第 4 項の発明は、請求の範囲第 1 項の構成において、前記半導体集積回路は能動素子面にダミーバンブが形成されていることを特徴とする。

請求の範囲第 5 項の発明は、請求の範囲第 4 項の構成において、前記半導体集積回路に形成されたダミーバンブが、前記ベースの電極パターンに接続されていることを特徴とする。

請求の範囲第 6 項の発明は、請求の範囲第 1 項の構成において、前記圧電振動子がマウントされる積層部が前記半導体集積回路の周囲を囲み、かつ少なくとも第 1 層、第 2 層の 2 層で形成されており、前記第 1 層の開口部が前記第 2 層の開口部より大きく形成されていることを特徴とする。

請求の範囲第 7 項の発明は、請求の範囲第 1 項の構成において、前記半導体集積回路に形成された複数のバンブの直径が、それぞれ前記半導体集積回路の能動素子面のパッドの開口部の 1 辺の 0.8 ~ 0.9 倍及び 0.4 ~ 0.45 倍の 2 段形状のバンブで形成されていることを特徴とする。

請求の範囲第 8 項の発明は、請求の範囲第 1 項の構成において、前記ベースがセラミックの積層基板からなることを特徴とする。

請求の範囲第 9 項の発明は、請求の範囲第 1 項の構成において、前記半導体集積回路に形成された複数のバンプがそれぞれ Au バンプであることを特徴とする。

請求の範囲第 10 項の発明は、請求の範囲第 1 項の構成において、前記半導体集積回路の各辺に対向する少なくとも 1 つ以上のベースの側壁に、凸部を形成したことを特徴とする。

請求の範囲第 11 項の発明は、請求の範囲第 10 項の構成において、前記半導体集積回路の長手方向の 2 辺に対向するベースの側壁に、凸部を形成したことを特徴とする。

請求の範囲第 12 項の発明は、請求の範囲第 10 項の構成において、前記ベースの側壁に形成した凸部が、前記半導体集積回路と同じ高さかあるいはそれ以上であることを特徴とする。

請求の範囲第 13 項の発明は、請求の範囲第 10 項の構成において、前記ベースの側壁に形成した凸部と前記半導体集積回路との隙間が、 $0.05 \sim 0.15 \text{ mm}$ となるようにしたことを特徴とする。

請求の範囲第 14 項の発明は、半導体集積回路と圧電振動子とをパッケージに内蔵した圧電デバイスにおいて、入出力用の電極パターンが形成されたベースに開口部が形成され、複数のバンプが前記半導体集積回路の能動素子面の対向する 2 辺に形成され、前記開口部に前記半導体集積回路が搭載され、前記半導体集積回路は前記ベースの電極パターンと前記複数のバンプにより接合されていることを特徴とする圧電デバイスである。

請求の範囲第 15 項の発明は、請求の範囲第 14 項の構成において、前記半導体集積回路に形成された複数のバンプが、前記半導体集積回路

の能動素子面のセンター周辺に等間隔に形成されていることを特徴とする。

請求の範囲第 16 項の発明は、請求の範囲第 14 項の構成において、前記半導体集積回路は能動素子面にダミーバンプが形成されていることを特徴とする。

請求の範囲第 17 項の発明は、請求の範囲第 16 項の構成において、前記半導体集積回路に形成されたダミーバンプが、前記ベースの電極パターンに接続されていることを特徴とする。

請求の範囲第 18 項の発明は、請求の範囲第 14 項の構成において、前記圧電振動子がマウントされる積層部が前記半導体集積回路の周囲を囲み、かつ少なくとも第 1 層、第 2 層の 2 層で形成されており、前記第 1 層の開口部が前記第 2 層の開口部より大きく形成されていることを特徴とする。

請求の範囲第 19 項の発明は、請求の範囲第 14 項の構成において、前記半導体集積回路に形成された複数のバンプの直径が、それぞれ前記半導体集積回路の能動素子面のパッドの開口部の 1 辺の $0.8 \sim 0.9$ 倍及び $0.4 \sim 0.45$ 倍の 2 段形状のバンプで形成されていることを特徴とする。

請求の範囲第 20 項の発明は、請求の範囲第 14 項の構成において、前記ベースがセラミックの積層基板からなることを特徴とする。

請求の範囲第 21 項の発明は、請求の範囲第 14 項の構成において、前記半導体集積回路に形成された複数のバンプが Au バンプであることを特徴とする。

請求の範囲第 22 項の発明は、半導体集積回路と圧電振動子とをパッケージに内蔵した圧電デバイスにおいて、入出力用の電極パターンが形成されたベースのセンターに開口部が形成され、複数のバンプが前記半

導体集積回路の能動素子面の対向する 2 辺に形成され、前記開口部のセンターに前記半導体集積回路が搭載され、前記半導体集積回路は前記ベースの電極パターンと前記複数のバンパにより超音波接合手段により接合されていることを特徴とする。

請求の範囲第 2 3 項の発明は、請求の範囲第 2 2 項の構成において、前記半導体集積回路に印加される超音波の振動方向が、前記複数のバンパが形成された前記半導体集積回路の能動素子面の対向する 2 辺に対し、垂直方向であることを特徴とする。

請求の範囲第 2 4 項の発明は、請求の範囲第 2 2 項の構成において、前記ベースの電極パターンの印刷方向と前記半導体集積回路に印加される超音波の振動方向が同一方向であることを特徴とする。

請求の範囲第 2 5 項の発明は、請求の範囲第 2 2 項の構成において、前記半導体集積回路に形成された複数のバンパの直径が、それぞれ前記半導体集積回路の能動素子面のパッドの開口部の 1 辺の $0.8 \sim 0.9$ 倍及び $0.4 \sim 0.45$ 倍の 2 段形状のバンパで形成されていることを特徴とする。

請求の範囲第 2 6 項の発明は、請求の範囲第 2 5 項の構成において、前記半導体集積回路に形成された複数のバンパの形状が、それぞれ直径 $80 \sim 90 \mu\text{m}$ 、高さ $30 \sim 35 \mu\text{m}$ 、及び直径 $40 \sim 45 \mu\text{m}$ 、高さ $30 \sim 35 \mu\text{m}$ の 2 段形状のバンパで形成されていることを特徴とする。

請求の範囲第 2 7 項の発明は、請求の範囲第 2 2 項の構成において、前記ベースがセラミックの積層基板からなることを特徴とする。

請求の範囲第 2 8 項の発明は、請求の範囲第 2 2 項の構成において、前記半導体集積回路に形成された複数のバンパが Au バンパであることを特徴とする。

請求の範囲第 29 項の発明は、請求の範囲第 22 項の構成において、前記ベースの電極パターンの長手方向と、前記半導体集積回路に印加される超音波の振動方向とが同一方向であることを特徴とする。

請求の範囲第 30 項の発明は、請求の範囲第 22 項の構成において、半導体集積回路と圧電振動子とをパッケージに内蔵した圧電デバイスにおいて、前記半導体集積回路にバンプを形成する超音波接合の超音波の振動方向と、前記半導体集積回路を前記パッケージに超音波接合する超音波の振動方向とが異なる方向であることを特徴とする。

請求の範囲第 31 項の発明は、半導体集積回路と圧電振動子とをパッケージに内蔵した圧電デバイスの製造方法において、前記半導体集積回路に金属のバンプを形成する工程と、前記金属のバンプが形成された前記半導体集積回路をベースに超音波接合により接続する工程と、超音波接合加工中に前記半導体集積回路の高さ方向の検出を行う工程と、前記圧電振動子をマウントする工程と、前記ベースに金属製のリッドを気密封止する工程とからなることを特徴とする圧電デバイスの製造方法である。

請求の範囲第 32 項の発明は、半導体集積回路と圧電振動子とをパッケージに内蔵した圧電デバイスの製造方法において、前記半導体集積回路に金属のバンプを形成する工程と、前記金属のバンプが形成された前記半導体集積回路をベースに超音波接合により接続する工程と、超音波接合加工中に前記半導体集積回路の高さ方向の検出を行う工程と、アンダーフィル材を前記半導体集積回路の裏面を含み、前記半導体集積回路全体を覆うようにして前記半導体集積回路の周囲に形成する工程と、前記圧電振動子をマウントする工程と、前記ベースに金属製のリッドを気密封止する工程とからなることを特徴とする圧電デバイスの製造方法である。

図面の簡単な説明

第 1 図は、本発明の圧電デバイスの構造図。

第 2 図は、本発明の圧電デバイスのウェハーへのバンプ形成図。

第 3 図は、本発明の圧電デバイスのバンプ形状図。

第 4 図は、本発明の圧電デバイスの他のバンプ形状図。

第 5 図は、本発明のフリップチップボンディングプロセスを示す工程図。

第 6 図は、F E M 解析による応力分布図。

第 7 図は、本発明の他の実施例を示す構造図。

第 8 図は、本発明の他の実施例を示す構造図。

第 9 図は、本発明の他の実施例を示す構造図。

第 1 0 図は、本発明の他の実施例を示す平面図及び正面図。

第 1 1 図は、本発明の他の実施例を示す平面図及び正面図。

第 1 2 図は、本発明の他の実施例を示す構造図。

第 1 3 図は、本発明の接合部の断面を示す構造図。

第 1 4 図は、本発明のさらに他の実施例の水晶発振器の構造を示す構造図。

第 1 5 図は、第 1 4 図の部分 A R の構成例を示す拡大平面図。

第 1 6 図は、従来の圧電デバイスの構造図。

発明を実施するための最良の形態

以下、本発明の好適な実施の形態を図面に基づいて説明する。

本発明の圧電デバイスの実施の一形態を、発振回路を有するワンチップの半導体集積回路と、圧電振動子に A T カット水晶振動子とを用いた、水晶発振器を例として図面に基づいて説明する。

(実施例 1)

第 1 図は、本発明の一実施例を示す表面実装タイプの水晶発振器の構造図である。

第 1 図 (a) の平面図及び第 1 図 (b) の正面図に示すように、少なくとも 3 層からなるセラミック絶縁基板と、Fe-Ni 合金等で枠状に型抜きされたシールリングとで形成されたベース 1 の第 1 層に、半導体集積回路 (IC チップ: 以下 IC チップと記す) 2 と接続するための電極パターン 3 が、W (タングステン) あるいは Mo (モリブデン) 等の金属配線材料で印刷等によりメタライズされている。そして、その上には、Ni メッキ及び Au メッキ等が施されている。

又、IC チップ 2 の電極パッドには Au 等の金属のバンプ 4 が形成され、フリップチップボンディング工法によりベース 1 に形成された電極パターン 3 と接続されている。このフリップチップボンディング工法には、種々の加工法があるが、本実施例で用いている工法は超音波による Au-Au の固相接合を用いた加工方法である。

又、AT カット水晶振動子 6 は、その支持部 7 をベース 1 の第 2 層 5 に設けられたマウント部 8 に導電性接着剤 9 で接続固定されている。

更に、金属製のリッド (蓋) 11 をベース 1 の Fe-Ni 合金等で枠状に型抜きされたシールリング 12 に位置合わせして固定し、シーム溶接により気密に封止している。

以上により、小型薄型の表面実装パッケージの水晶発振器 13 が完成する。

次に、IC チップ 2 に Au 等で形成されたバンプ 4 を形成するバンプ形成プロセスと、IC チップ 2 をベース 1 に形成された電極パターン 3 に接続する、フリップチップボンディングのプロセスについて詳細に説明する。

例えば、第2図に示すように例えば4インチ～6インチのウェハー状態のICチップ2の各パッド14に、その線径が例えば $\Phi 25 \sim 35 \mu\text{m}$ 程度のAuボンディング細線を用いて超音波バンプボンディングにより、複数のバンプ4を形成する。

ここで、バンプ4の形状は種々考えられるが、本実施例では第3図に示すように2段形状のバンプ4を形成している。

そのバンプ4の形状は、ICチップ2のパッド14のパッド開口部15の一边をAとすると、バンプ4の直径が、それぞれ例えば $\Phi 0.8 \sim 0.9 A$ 及び $\Phi 0.4 \sim 0.45 A$ の2段形状となっている。

更に、具体的な数値で示すと、バンプ4は、例えば一般的なパッド14のパッド開口部15の一边の長さを $100 \mu\text{m}$ とすると、直径 $\Phi 80 \sim 90 \mu\text{m}$ 、高さ $30 \sim 35 \mu\text{m}$ 、及び直径 $\Phi 40 \sim 45 \mu\text{m}$ 、高さ $30 \sim 35 \mu\text{m}$ の2段形状であることが望ましい。

又、ウェハー状態で複数個（数千個程度）のICチップ2にバンプ形成加工を行うため、このバンプ形成加工の温度は低いことが望ましく、本実施例では 180°C 前後の温度でバンプ加工を行っている。この温度については、接合強度及び共晶の程度の評価実験により例えば $180^\circ\text{C} \sim 230^\circ\text{C}$ 程度の範囲が適当である。

又、バンプ4の2段目の先端部についてはその平坦度を良くするために、第4図に示すようにバンプ4の先端部を潰してレベリングを施した形状を用いてもよい。

次に、以上の形状でバンプ4が形成されたICチップ2を、ベース1にフリップチップボンディングするプロセスについて詳細に説明する。

第5図は、フリップチップボンディングの加工工程図を示す。

ウェハー上のICチップ2は、角錐コレット等のノズルによりピックアップされ、反転されて、超音波ホーンの先端ノズルに受け渡しされる

。そして、フリップチップボンディング装置に設けられた画像認識等のシステムにより、I Cチップ2がアライメントされて精度良くベース1のマウントエリアにチップマウントされる。

更に、I Cチップ2がベース1の電極パターン3上に接しフリップチップボンディング装置がその負荷を検出すると、1バンプ当たり100gr前後の荷重を印加し、そして同時に超音波を印加してバンプ4と電極パターン3のAu同士を固相接合する。超音波の条件は、超音波のパワーと超音波を加える時間により設定される。又、この接合には適度の熱も必要であり、ベース1にはあらかじめ例えば150℃～200℃前後の熱が加えられている。又、超音波加工中にもベース1には同様な熱が加えられている。

又、フリップチップボンディング装置には、I Cチップ2の高さ方向を検出するセンサーが設けられており、その高さ方向のデータを管理しながらバンプ4の高さを均一な状態で加工することが可能である。

ここで、本実施例で用いている加工条件は、1バンプ当たり百グラム前後の荷重を印加し、超音波の条件については、I Cチップ2のサイズや、バンプ4の数により設定された条件値を用いている。

第6図は、FEM (Finite Element Method) 解析を用いたリフロー時や温度サイクル試験等の熱応力が水晶発振器13に加わった時のI Cチップ2及びバンプ4周辺の応力分布図を示す。

この応力分布図よりバンプ4の配置位置により応力値が異なり、特にI Cチップ2のコーナー部のバンプ4周辺、又バンプ4が少ない箇所等に強い応力集中が働いていることが確認できる。

このように、バンプ4周辺に応力が発生するとバンプ4と電極パターン3とがオープンになるという不良が発生しやすい。このような不良は

、特にリフロー時等の高温が急激に水晶発振器 13 に加わる場合や、長期のエージング等、あるいは水晶発振器 13 を内蔵した携帯機器等の製品の落下、振動等の機械的ショックにより発生しやすい。

この熱応力又は落下、振動等の機械的な応力はベース 1 の構造全体が関係しており、バンプ 4 周辺に応力が集中しないような水晶発振器 13 の構造を提供することも本発明の目的である。以下にその構造のポイントについて説明する。

第 1 図に示すように、ベース 1 のセンターに開口部 16 が形成され、開口部 16 のセンターに IC チップ 2 が搭載された構造を用いている。従って、水晶発振器 13 が何らかの応力を受けた時、この構造により応力は IC チップ 2 に均一に加わり、特定の部位に応力が集中するということがない。

次に、ダミーバンプ 17 が形成されている構造について説明する。このダミーバンプ 17 は、ベース 1 にレイアウトされた電極パターン 18 と接合している。本実施例においては、この電極パターン 18 は入出力用の端子には接続されておらず、電気的には浮いた状態で構成されている。

このように、ダミーバンプ 17 が形成される構造により、バンプ 4 の配列が対向する 2 辺において均一となりバンプ 4 周辺に発生する応力値も等分化される。

従って、特定の部位に応力が集中することがなく、熱応力や機械的な応力に対しバランスの良い接合特性が得られる構造となっている。

次に、超音波の印加方向とバンプ 4 の変形について説明する。

超音波を印加してバンプ 4 と電極パターン 3 の Au 同士を固相接合するプロセスにおいて、第 3 図に示すバンプ 4 の 2 段形状のイニシャル形

状を変形させて接合する。この時に隣接するバンプ4同士がショートしないように、また全てのバンプ4と電極パターン3との接合が均一に行われるように、超音波の印加方向に対するバンプ4の配列の仕方や、ベース1に印刷する電極パターン3の印刷方向及び超音波の印加方向を規定している。

即ち、具体的には、ICチップ2に印加される超音波の振動方向が、複数のバンプ4が形成されたICチップ2の能動素子面の対向する2辺に対し、おおむね垂直方向であるようにして接合加工が行われる。

第13図は、電極パターン3とバンプ4の接合部の断面図を示している。

電極パターン3は、電極材料を厚膜印刷するためにその両端はダレており、このような部分ではバンプ4と電極パターン3とは接合されない。

従って、電極パターン3の長手方向と直角の方向に超音波の振動方向を合わせて加工すると、接合が均一には行われず十分な接合力が得られないという課題がある。そのため、本実施例においては、ベース1の電極パターン3の長手方向及び電極パターン3の印刷方向と、ICチップ2に印加される超音波の振動方向が同一方向であるようにして接合加工を行っている。

次に、ATカット水晶振動子6をベース1にマウントするプロセスについて説明する。

第1図に示すように、ATカット水晶振動子6は、ベース1の第2層5に設けられたマウント部8のマウント用電極21、22に導電性接着剤9により接続固定される。

そして、導電性接着剤9の硬化を含めてICチップ2及びATカット水晶振動子6を内蔵したパッケージ全体は、高温でアニール処理される

。これは、導電性接着剤 9 やベース 1 等からのアウトガスを除去する効果もあり、一般的には例えば 200℃～300℃の高温下で1～2時間の処理が行われる。

この熱処理により、バンプ 4 部の Al-Au 共晶反応や、Au-Au 固相接合の反応や、接合部の応力緩和等が進み、バンプ 4 の接合強度等の接合特性が変化する。本実施例では、このようなフリップチップボンディング以降の熱履歴を踏まえて、バンプ 4 の形成条件やフリップチップボンディング条件等を決定している。

更に、金属製のリッド 11 は、ベース 1 の Fe-Ni 合金等で棒状に型抜きされたシールリング 12 に位置合わせして固定され、シーム溶接により気密に封止している。

(実施例 2)

第 7 図は、本発明の他の実施例の水晶発振器の構造を示す平面図である。

この水晶発振器は、複数のバンプ 4 が IC チップ 2 の能動素子面のセンター周辺に等間隔に形成されている構成である。

このような構成にすることにより、バンプ 4 に加わる応力を均一化することができ、バンプ 4 と電極パターン 3 とのオープン不良の発生がない。また、このような構成にすることにより、超音波による接合加工がバランス良く行え、IC チップ 2 が傾いて実装されるというような不良も発生しない。

(実施例 3)

第 8 図は、本発明のさらに他の実施例の水晶発振器の構造を示す平面図である。

この水晶発振器は、IC チップ 2 に形成された複数のバンプ 4 が IC チップ 2 の能動素子面のセンターを中心として、同心円上に形成されて

いる構成である。

実施例 2 と同様に、バンプ 4 に加わる応力を均一化することができ、バンプ 4 と電極パターン 3 とのオープン不良の発生がない。また超音波による接合加工がバランス良く行え、I C チップ 2 が傾いて実装されるというような不良も発生しない。

(実施例 4)

第 9 図は、本発明のさらに他の実施例の水晶発振器の構造を示す構造図である。

この水晶発振器では、I C チップ 2 の裏面を覆うようにしてアンダーフィル材 2 3 が塗布されている。このアンダーフィル材 2 3 は、接合の信頼性を高めるとともに、熱伝導性を良くして I C チップ 2 の発熱を外部に逃がす役目も兼ねている。

更に、アンダーフィル材 2 3 がバンプ 4 の接合部に十分に浸透するように、A T カット水晶振動子 6 がマウントされる第 2 層 5 が、a 層 2 4 (第 1 層)、b 層 2 5 (第 2 層) の 2 層で形成されており、a 層 2 4 の開口部が、b 層 2 5 の開口部より大きく形成されている。このように第 2 層 5 を形成することにより、アンダーフィル材 2 3 がバンプ 4 の接合部まで十分に浸透して、信頼性の高い接合構造となる。

(実施例 5)

第 10 図 (a)、第 10 図 (b) は、本発明のさらに他の実施例の水晶発振器の構造を示す構造図である。

第 10 図 (a) に示すように、この水晶発振器では、例えば I C チップ 2 の長手方向の 2 辺に対向するベース 1 の側壁に、凸部 3 1 が形成されている。そして、I C チップ 2 と凸部 3 1 の隙間 3 2 が、例えば 0.05 ~ 0.15 mm となるように設定されている。本実施例では、隙間 3 2 は例えば 0.15 mm となるように設定している。

実施例 1 と同様に I C チップ 2 の電極パッドには A u 等の金属のバンプ 4 が形成され、フリップチップボンディング工法によりベース 1 に形成された電極パターン 3 と接続されている。

次に、第 11 図 (a)、第 11 図 (b) に示すように I C チップ 2 の裏面にアンダーフィル材 23 を塗布して、I C チップ 2 のバンプ 4 側にこのアンダーフィル材 23 を隙間なく完全に浸透させる方法について詳細に説明する。

ディスペンサー等の塗布装置から I C チップ 2 に塗布されたアンダーフィル材 23 は、第 11 図 (b) に示すように表面張力が働き I C チップ 2 の裏面内に広がるだけで、I C チップ 2 の側面からバンプ 4 側に流れていくことはない。

そこで、第 11 図 (a) に示すように、I C チップ 2 の長手方向の 2 辺に対向するベース 1 の側壁には、凸部 31 が形成されている。これにより、ディスペンサー等の塗布装置から塗布されたアンダーフィル材 23 は、その周辺部が凸部 31 に接触して広がり、更に I C チップ 2 と凸部 31 の隙間 32 を浸透して I C チップ 2 のバンプ 4 側にこのアンダーフィル材 23 が隙間なく完全に浸透する。

ここで、凸部 31 の幅 L は、I C チップ 2 の幅 L₀ の $1/3 \sim 1/2$ の寸法に設定している。凸部 31 の形状をこのような幅寸法に設定することにより、アンダーフィル材 23 がマウント部 8 等へ回り込むことを防止している。更にアンダーフィル材 23 が、早く I C チップ 2 のバンプ 4 側に回り込む役目も果たしている。

また、第 10 図 (b) に示すように、凸部 31 は I C チップ 2 の裏面 R より高く、更にバンプ 4 が接続するベース 1 の接合面 S まで形成されている。このように凸部 31 を形成することにより、ベース 1 の側壁をアンダーフィル材 23 が這い上がることや、A T カット水晶振動子 6 の

マウント部 8 への回り込み等を防止できる。また、凸部 3 1 を形成することにより、ベース 1 の接合面にアンダーフィル材 2 3 が早く浸透する役目も兼ねている。

隙間 3 2 は、少なくともアンダーフィル材 2 3 の粒子以上の間隔があればよく、種々のアンダーフィル材 2 3 の浸透特性実験から理想的には 0.05 mm 程度が適している。

凸部 3 1 の形状は、第 12 図に示すように溝部 3 3 が形成されているような形状でもよい。

以上により、第 10 図 (b) に示すように、アンダーフィル材 2 3 が IC チップ 2 の bumps 4 側の隙間に完全に浸透して、bumps 4 の周囲を被覆する。

このアンダーフィル材 2 3 は、接合の信頼性を高めるとともに、熱伝導性を良くして IC チップ 2 の発熱を外部に逃がす役目も兼ねている。

以上、セラミック及び金属といった信頼性が高く、かつ安価な構成部品を用いることにより、例えば横 2 ~ 3.2 mm、幅 2 ~ 2.5 mm、厚さ 0.7 ~ 1.0 mm という小型薄型の高信頼性の圧電発振器が安価に提供できる。

(実施例 6)

第 14 図は、本発明のさらに他の実施例の水晶発振器の構造を示す構造図であり、第 15 図は、第 14 図の部分 A R の構成例を示す拡大平面図である。

bumps 形成工程は、第 2 図に示すように例えば 4 インチ ~ 6 インチのウェハー状態の IC チップ 2 の各パッド 1 4 に、その線径が例えば $\Phi 2.5 \sim 3.5 \mu\text{m}$ 程度の Au ボンディング細線を用いて超音波 bumps ボンディングにより、複数の bumps 4 を形成する。

また、FCB 工程は、第 5 図のフリップチップボンディングの加工工

程図に示すように、ウェハー上のＩＣチップ２が角錐コレット等のノズルによりピックアップされ、反転して超音波ホーンの先端ノズルに受け渡しされる。そして、フリップチップボンディング装置に設けられた画像認識等のシステムにより、ＩＣチップ２がアライメントされて精度良くベース１のマウントエリアにチップマウントされる。

このようにバンプ４を形成したパッド１４には、荷重と超音波による負荷が繰り返し加えられパッド１４に、ダメージが発生する可能性が一見ありそうであるが、本実施形態では以下のようにしてこれを防止している。

本実施例では、第１５図に示すようなＩＣチップ２にバンプを形成する超音波接合の超音波の振動方向ＵＳ２と、第１４図に示すようなＩＣチップ２をベース１に超音波接合する超音波の振動方向ＵＳ１とが異なる方向、好ましくは例えば９０°異なる方向となるように設定されている。

このように振動方向ＵＳ１と振動方向ＵＳ２を異なる方向にすることにより、超音波による負荷が繰り返し加えられパッド１４にダメージが発生するのを防止することができる。

本発明は、上記実施の形態に限定されず、特許請求の範囲を逸脱しない範囲で種々の変更を行うことができる。

例えば、発振回路を有するワンチップの半導体集積回路と、圧電振動子にＡＴカット水晶振動子とを用いた水晶発振器を例に述べてきたが、本発明はそれに限定されることなく、例えば電圧制御水晶発振器（ＶＣＸＯ）、温度補償水晶発振器（ＴＣＸＯ）、ＳＡＷ発振器あるいはリアルタイムクロックモジュール等の半導体集積回路を内蔵した圧電デバイス全てに適用できる。更に、本発明は、水晶振動子チップやＳＡＷチップをパッケージにフリップチップボンディングにより実装する圧電デバ

イスにも同様に適用できる。

以上説明したように本発明によれば、入出力用の電極パターンが形成されたベースのセンターに開口部が形成され、開口部のセンターに半導体集積回路が搭載され、半導体集積回路はベースの電極パターンと複数のバンプにより接合されている構造により、応力は半導体集積回路に均一に加わることになり特定のバンプへ応力が集中することがなくなる。これにより、バンプと電極パターンとの接合不良のない構造的に優れた圧電発振器を提供できる。

また、本発明によれば、半導体集積回路は半導体集積回路の能動素子面にダミーバンプが形成されており、そのダミーバンプが、ベースの電極パターンに接続されている構造により、バンプに加わる応力を均一化することができる。また、超音波による接合加工がバランス良く行え、半導体集積回路が傾いて実装されることもなく、高品質の圧電発振器を提供できる。

また、本発明によれば、アンダーフィル材を半導体集積回路の裏面を含み、半導体集積回路全体を覆うようにして半導体集積回路の周囲に形成することにより、半導体集積回路とベースの接合の信頼性を高めるとともに、半導体集積回路の発熱をアンダーフィル材を伝導させてパッケージ外部に逃がすことができる。

また、本発明によれば、半導体集積回路に印加される超音波の振動方向を規定することにより、隣接するバンプ同士のショートを防止し、また全てのバンプと電極パターンとの接合が均一に行われる等の安定した超音波接合を行うことができ、高品質で歩留まりの良い圧電発振器を提供できる。

また、本発明によれば、半導体集積回路に形成された複数のバンプの形状を、それぞれ例えば直径 Φ 80～90 μ m、高さ30～35 μ m、

及び直径 $\Phi 40 \sim 45 \mu\text{m}$ 、高さ $30 \sim 35 \mu\text{m}$ の2段形状のバンプに形成することにより、半導体集積回路とベースのギャップを数十 μm （約 $30 \mu\text{m}$ 前後）に保つことができ、ショートや接合ズレ等の発生しない安定した超音波接合を行うことができる。

また、本発明によれば、半導体集積回路の各辺に対向する少なくとも1つ以上のベースの側壁に凸部を形成したことにより、ディスペンサー等の塗布装置から塗布されたアンダーフィル材を、完全に半導体集積回路のバンプ部の隙間に浸透させることができ、アンダーフィル材でバンプ部を確実に被覆することが可能となる。また、この構造により、必要なだけの少量のアンダーフィル材を塗布することが可能となり、アンダーフィル材がATカット水晶振動子等に付着して、発振停止や発振周波数のバラツキ等の不具合を発生させることを防止することができる。

また、本発明によれば、半導体集積回路にバンプを形成する超音波接合の超音波の振動方向と、半導体集積回路をパッケージに超音波接合する超音波の振動方向とを異なる方向とすることにより、超音波による負荷が繰り返し加えられてパッドにダメージが発生するのを防止することができる。

産業上の利用可能性

このように、本発明は、半導体集積回路と圧電振動子とをパッケージに内蔵した圧電デバイス及びその製造方法として用いるのに適している。

請 求 の 範 囲

1. 半導体集積回路と圧電振動子とをパッケージに内蔵した圧電デバイスにおいて、

入出力用の電極パターンが形成されたベースのセンターに開口部が形成され、前記開口部のセンターに前記半導体集積回路が搭載され、前記半導体集積回路は前記ベースの電極パターンと複数のバンプにより接合されている

ことを特徴とする圧電デバイス。

2. 前記半導体集積回路に形成された複数のバンプが、前記半導体集積回路の能動素子面のセンター周辺に等間隔に形成されていることを特徴とする請求の範囲第1項に記載の圧電デバイス。

3. 前記半導体集積回路に形成された複数のバンプが、前記半導体集積回路の能動素子面のセンターを中心として、同心円上に形成されていることを特徴とする請求の範囲第1項に記載の圧電デバイス。

4. 前記半導体集積回路は能動素子面にダミーバンプが形成されていることを特徴とする請求の範囲第1項に記載の圧電デバイス。

5. 前記半導体集積回路に形成されたダミーバンプが、前記ベースの電極パターンに接続されていることを特徴とする請求の範囲第4項に記載の圧電デバイス。

6. 前記圧電振動子がマウントされる積層部が前記半導体集積回路の周囲を囲み、かつ少なくとも第1層、第2層の2層で形成されており、前記第1層の開口部が前記第2層の開口部より大きく形成されていることを特徴とする請求の範囲第1項に記載の圧電デバイス。

7. 前記半導体集積回路に形成された複数のバンプの直径が、それぞれ前記半導体集積回路の能動素子面のパッドの開口部の1辺の0.8～0

． 9 倍及び 0.4 ～ 0.45 倍の 2 段形状のバンプで形成されていることを特徴とする請求の範囲第 1 項に記載の圧電デバイス。

8. 前記ベースがセラミックの積層基板からなることを特徴とする請求の範囲第 1 項に記載の圧電デバイス。

9. 前記半導体集積回路に形成された複数のバンプがそれぞれ Au バンプであることを特徴とする請求の範囲第 1 項に記載の圧電デバイス。

10. 前記半導体集積回路の各辺に対向する少なくとも 1 つ以上のベースの側壁に、凸部を形成したことを特徴とする請求の範囲第 1 項に記載の圧電デバイス。

11. 前記半導体集積回路の長手方向の 2 辺に対向するベースの側壁に、凸部を形成したことを特徴とする請求の範囲第 10 項に記載の圧電デバイス。

12. 前記ベースの側壁に形成した凸部が、前記半導体集積回路と同じ高さかあるいはそれ以上であることを特徴とする請求の範囲第 10 項に記載の圧電デバイス。

13. 前記ベースの側壁に形成した凸部と前記半導体集積回路との隙間が、0.05 ～ 0.15 mm となるようにしたことを特徴とする請求の範囲第 10 項に記載の圧電デバイス。

14. 半導体集積回路と圧電振動子とをパッケージに内蔵した圧電デバイスにおいて、

入出力用の電極パターンが形成されたベースに開口部が形成され、複数のバンプが前記半導体集積回路の能動素子面の対向する 2 辺に形成され、前記開口部に前記半導体集積回路が搭載され、前記半導体集積回路は前記ベースの電極パターンと前記複数のバンプにより接合されている

ことを特徴とする圧電デバイス。

15. 前記半導体集積回路に形成された複数のバンプが、前記半導体集積回路の能動素子面のセンター周辺に等間隔に形成されていることを特徴とする請求の範囲第14項に記載の圧電デバイス。

16. 前記半導体集積回路は能動素子面にダミーバンプが形成されていることを特徴とする請求の範囲第14項に記載の圧電デバイス。

17. 前記半導体集積回路に形成されたダミーバンプが、前記ベースの電極パターンに接続されていることを特徴とする請求の範囲第16項に記載の圧電デバイス。

18. 前記圧電振動子がマウントされる積層部が前記半導体集積回路の周囲を囲み、かつ少なくとも第1層、第2層の2層で形成されており、前記第1層の開口部が前記第2層の開口部より大きく形成されていることを特徴とする請求の範囲第14項に記載の圧電デバイス。

19. 前記半導体集積回路に形成された複数のバンプの直径が、それぞれ前記半導体集積回路の能動素子面のパッドの開口部の1辺の0.8～0.9倍及び0.4～0.45倍の2段形状のバンプで形成されていることを特徴とする請求の範囲第14項に記載の圧電デバイス。

20. 前記ベースがセラミックの積層基板からなることを特徴とする請求の範囲第14項に記載の圧電デバイス。

21. 前記半導体集積回路に形成された複数のバンプがAuバンプであることを特徴とする請求の範囲第14項に記載の圧電デバイス。

22. 半導体集積回路と圧電振動子とをパッケージに内蔵した圧電デバイスにおいて、

入出力用の電極パターンが形成されたベースのセンターに開口部が形成され、複数のバンプが前記半導体集積回路の能動素子面の対向する2辺に形成され、前記開口部のセンターに前記半導体集積回路が搭載され、前記半導体集積回路は前記ベースの電極パターンと前記複数のバンプ

により超音波接合手段により接合されている

ことを特徴とする圧電デバイス。

23. 前記半導体集積回路に印加される超音波の振動方向が、前記複数のバンプが形成された前記半導体集積回路の能動素子面の対向する2辺に対し、垂直方向であることを特徴とする請求の範囲第22項に記載の圧電デバイス。

24. 前記ベースの電極パターンの印刷方向と前記半導体集積回路に印加される超音波の振動方向が同一方向であることを特徴とする請求の範囲第22項に記載の圧電デバイス。

25. 前記半導体集積回路に形成された複数のバンプの直径が、それぞれ前記半導体集積回路の能動素子面のパッドの開口部の1辺の0.8～0.9倍及び0.4～0.45倍の2段形状のバンプで形成されていることを特徴とする請求の範囲第22項に記載の圧電デバイス。

26. 前記半導体集積回路に形成された複数のバンプの形状が、それぞれ直径80～90 μm 、高さ30～35 μm 、及び直径40～45 μm 、高さ30～35 μm の2段形状のバンプで形成されていることを特徴とする請求の範囲第25項に記載の圧電デバイス。

27. 前記ベースがセラミックの積層基板からなることを特徴とする請求の範囲第22項に記載の圧電デバイス。

28. 前記半導体集積回路に形成された複数のバンプがAuバンプであることを特徴とする請求の範囲第22項に記載の圧電デバイス。

29. 前記ベースの電極パターンの長手方向と、前記半導体集積回路に印加される超音波の振動方向とが同一方向であることを特徴とする請求の範囲第22項に記載の圧電デバイス。

30. 半導体集積回路と圧電振動子とをパッケージに内蔵した圧電デバイスにおいて、

前記半導体集積回路にバンプを形成する超音波接合の超音波の振動方向と、前記半導体集積回路を前記パッケージに超音波接合する超音波の振動方向とが異なる方向であることを特徴とする請求の範囲第22項に記載の圧電デバイス。

31. 半導体集積回路と圧電振動子とをパッケージに内蔵した圧電デバイスの製造方法において、

前記半導体集積回路に金属のバンプを形成する工程と、

前記金属のバンプが形成された前記半導体集積回路をベースに超音波接合により接続する工程と、

超音波接合加工中に前記半導体集積回路の高さ方向の検出を行う工程と、

前記圧電振動子をマウントする工程と、

前記ベースに金属製のリッドを気密封止する工程と

からなることを特徴とする圧電デバイスの製造方法。

32. 半導体集積回路と圧電振動子とをパッケージに内蔵した圧電デバイスの製造方法において、

前記半導体集積回路に金属のバンプを形成する工程と、

前記金属のバンプが形成された前記半導体集積回路をベースに超音波接合により接続する工程と、

超音波接合加工中に前記半導体集積回路の高さ方向の検出を行う工程と、

アンダーフィル材を前記半導体集積回路の裏面を含み、前記半導体集積回路全体を覆うようにして前記半導体集積回路の周囲に形成する工程と、

前記圧電振動子をマウントする工程と、

前記ベースに金属製のリッドを気密封止する工程と

からなることを特徴とする圧電デバイスの製造方法。

1 / 12

Fig. 1

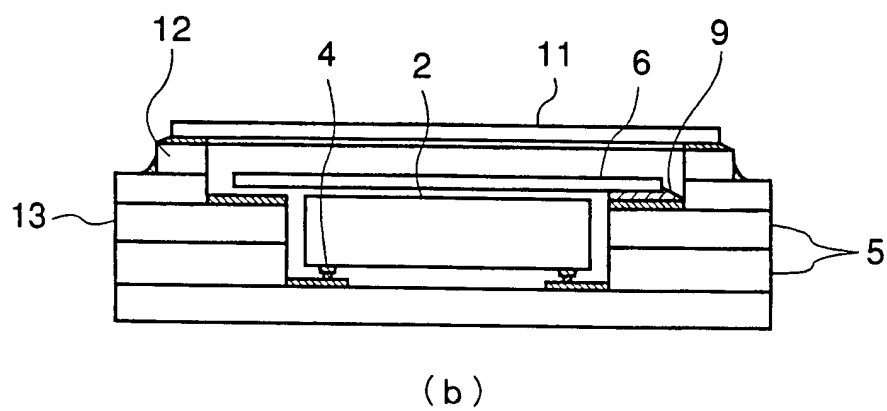
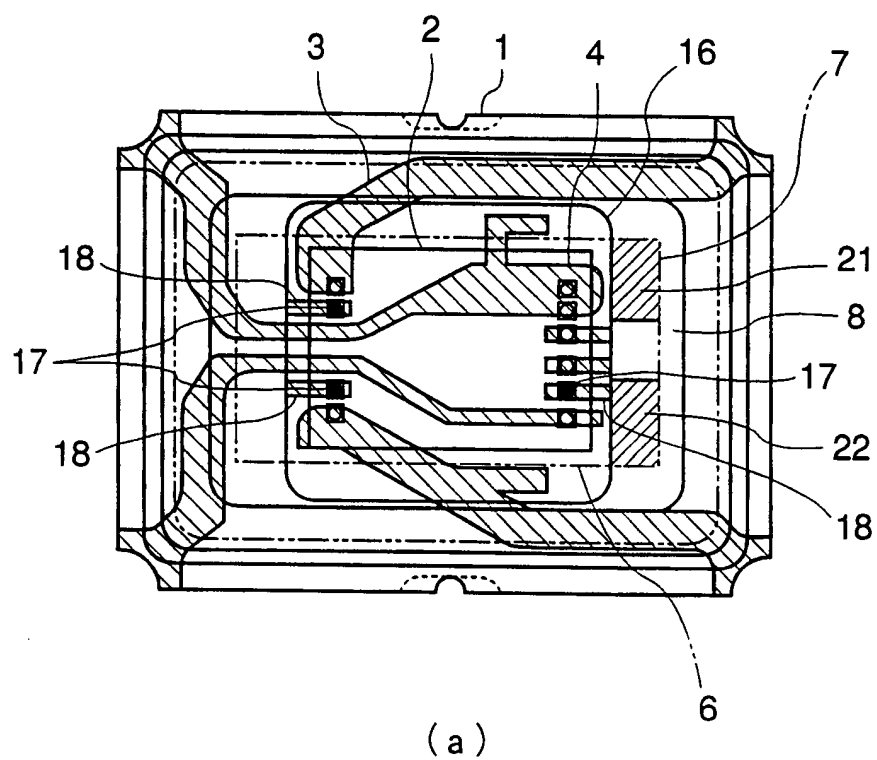


Fig. 2

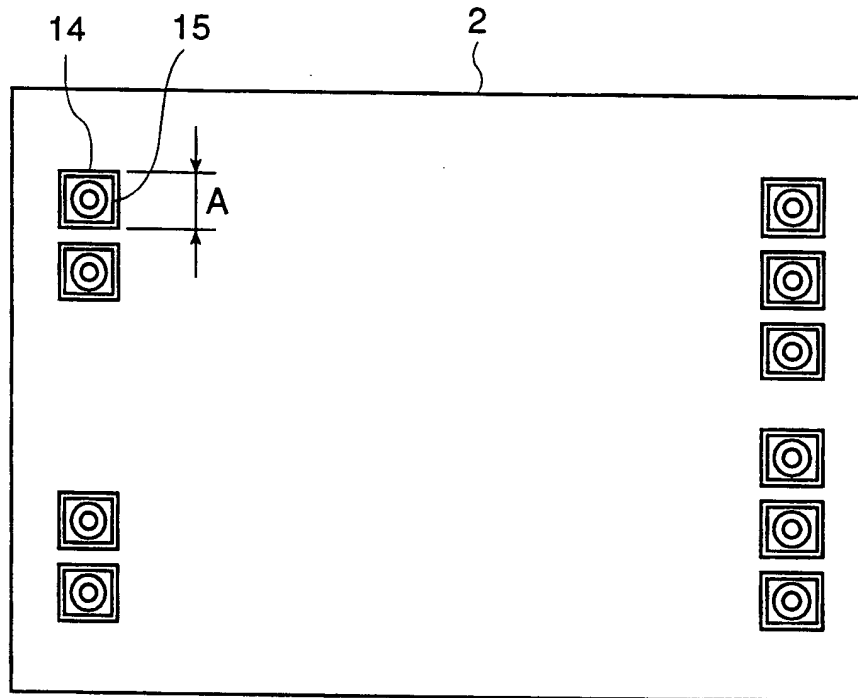


Fig. 3

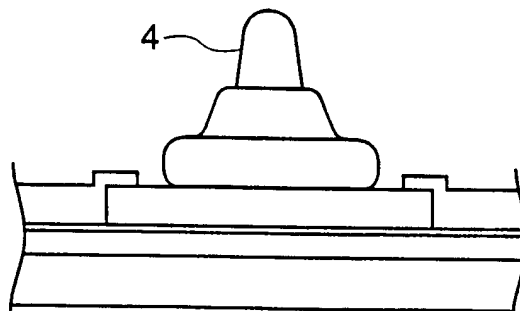


Fig. 4

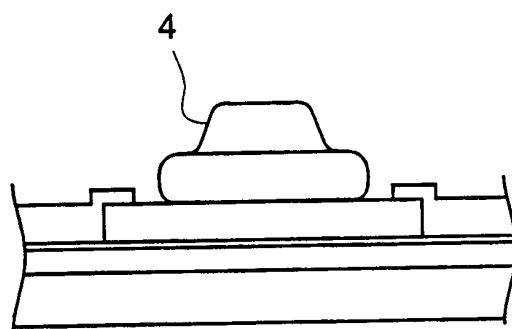


Fig. 5

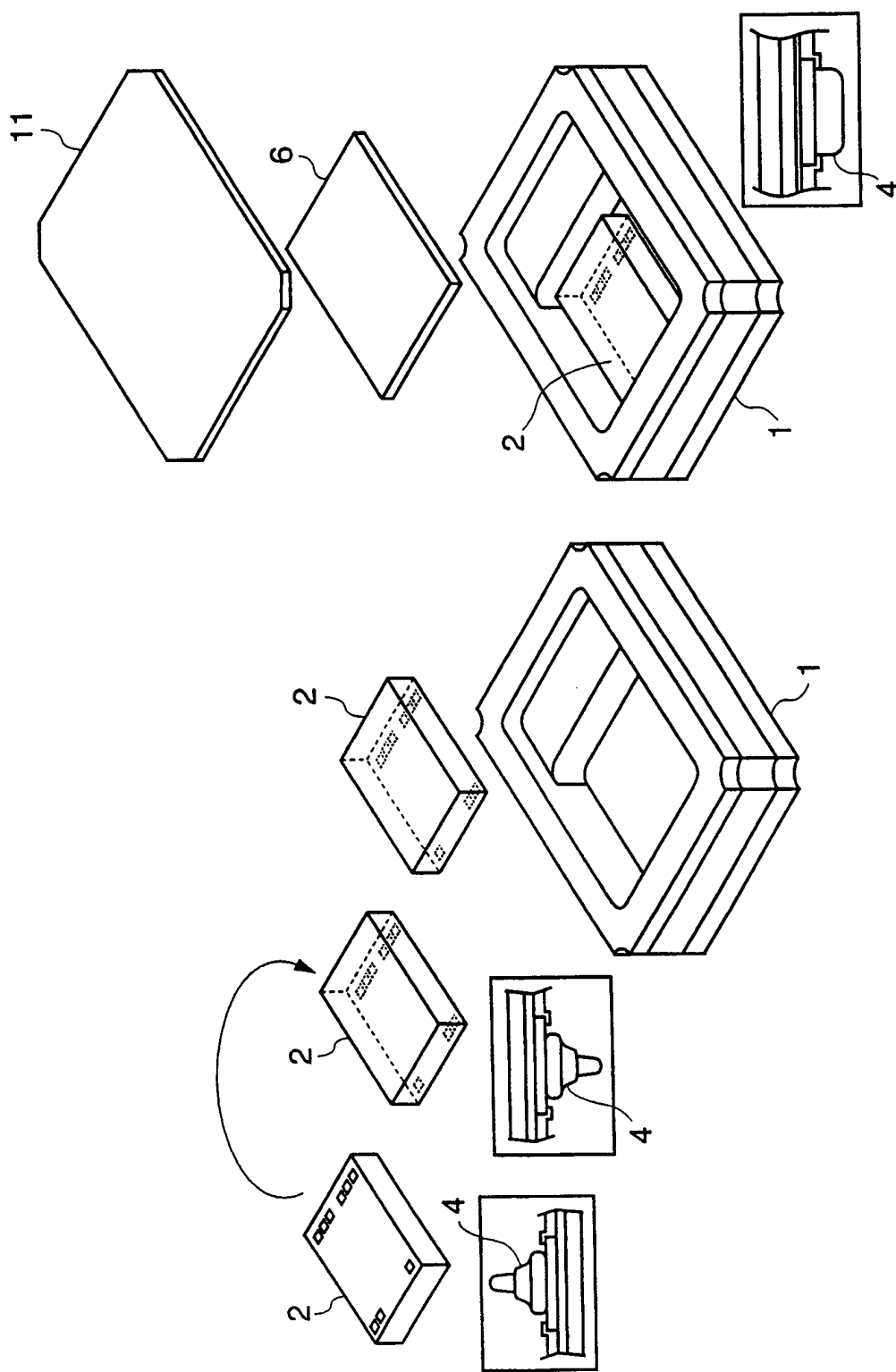


Fig. 6

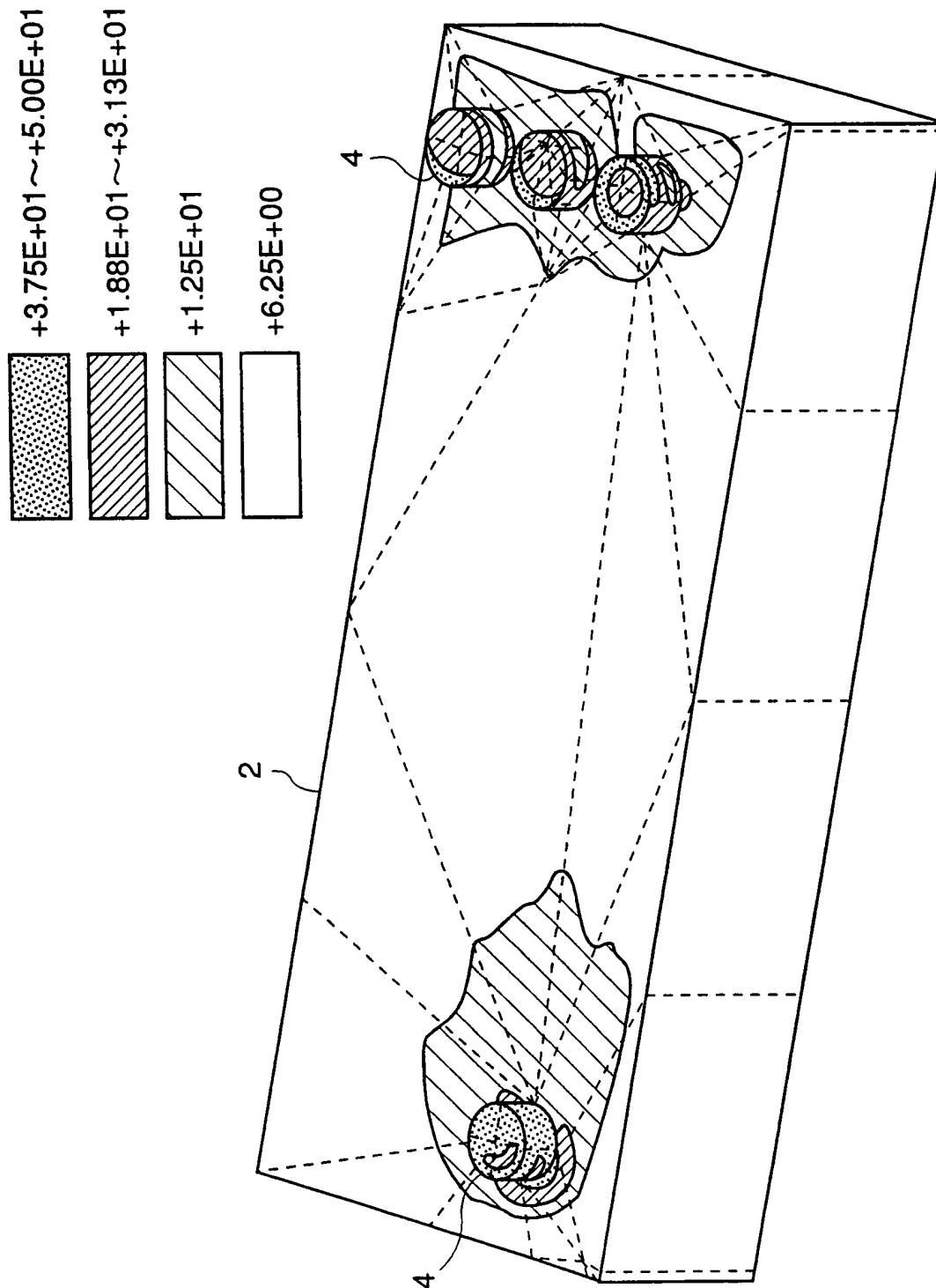


Fig. 7

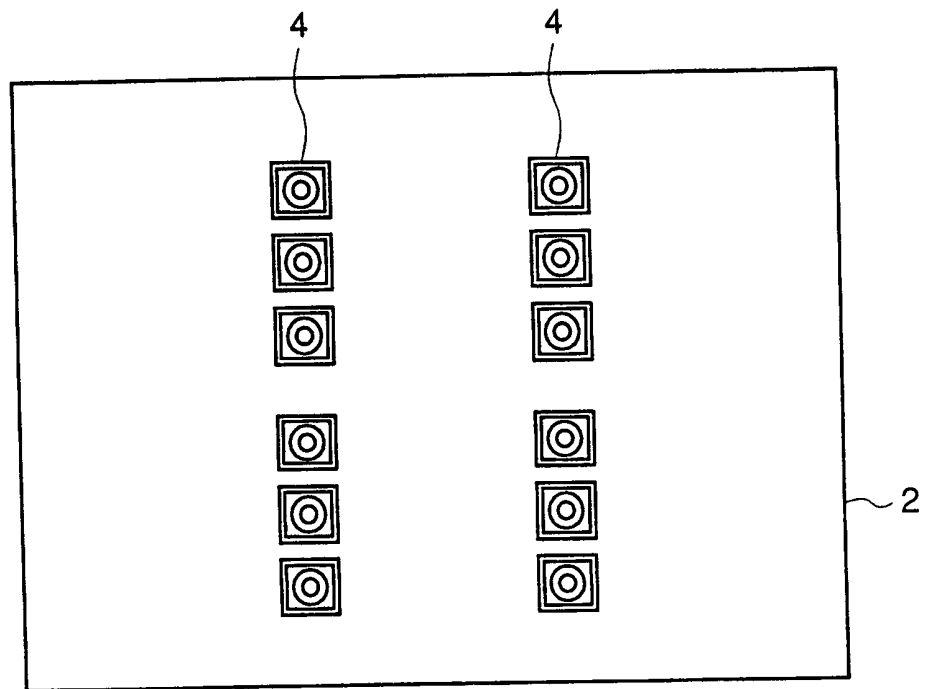


Fig. 8

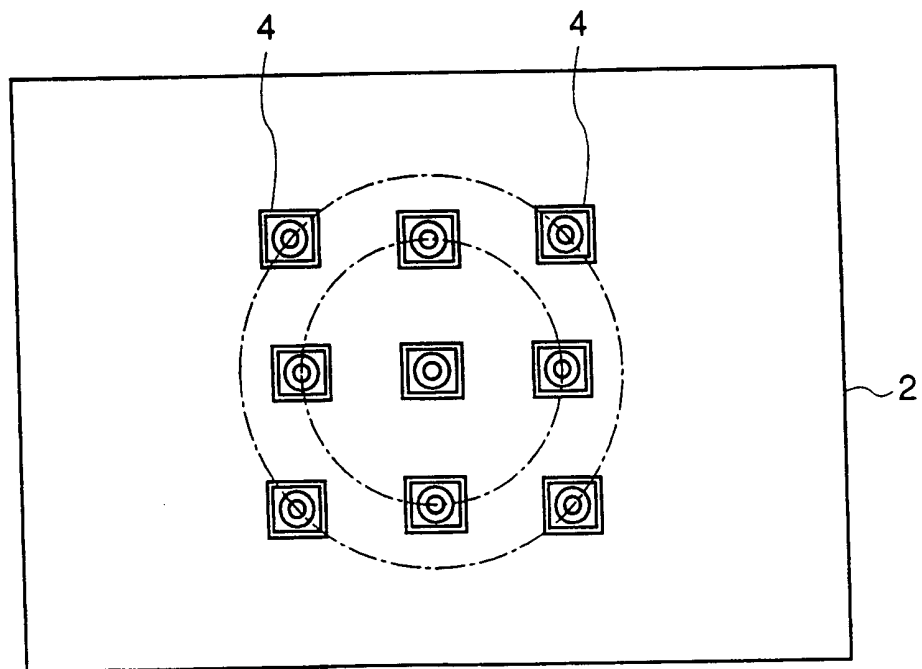


Fig. 9

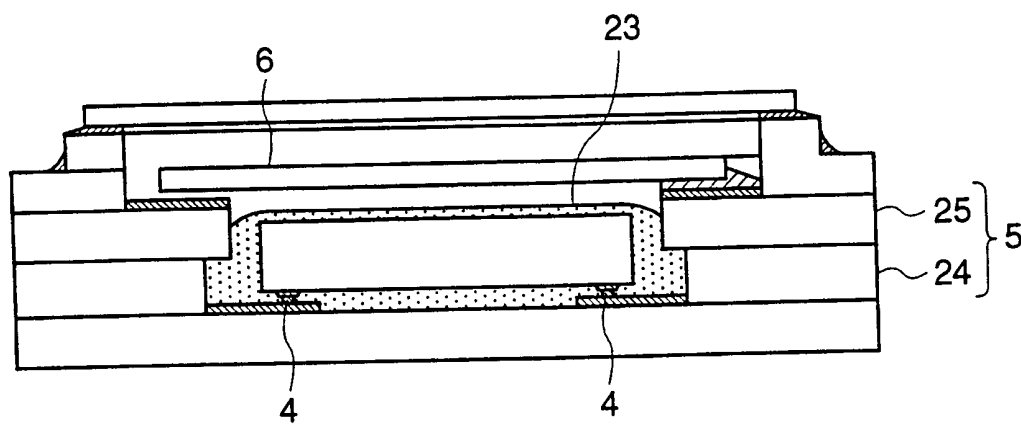
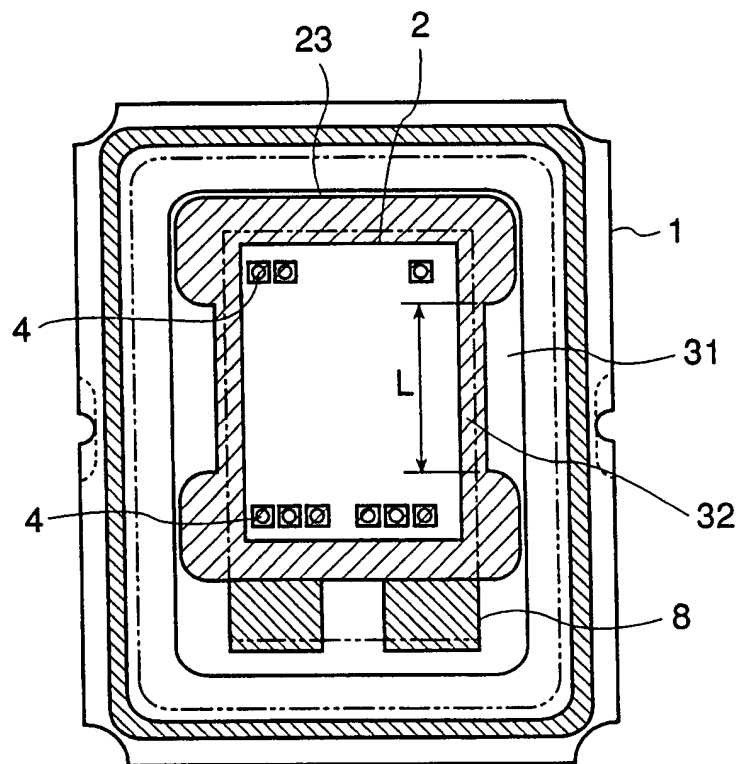
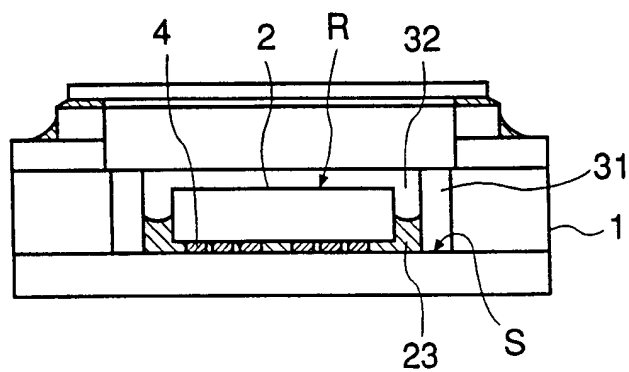


Fig. 10

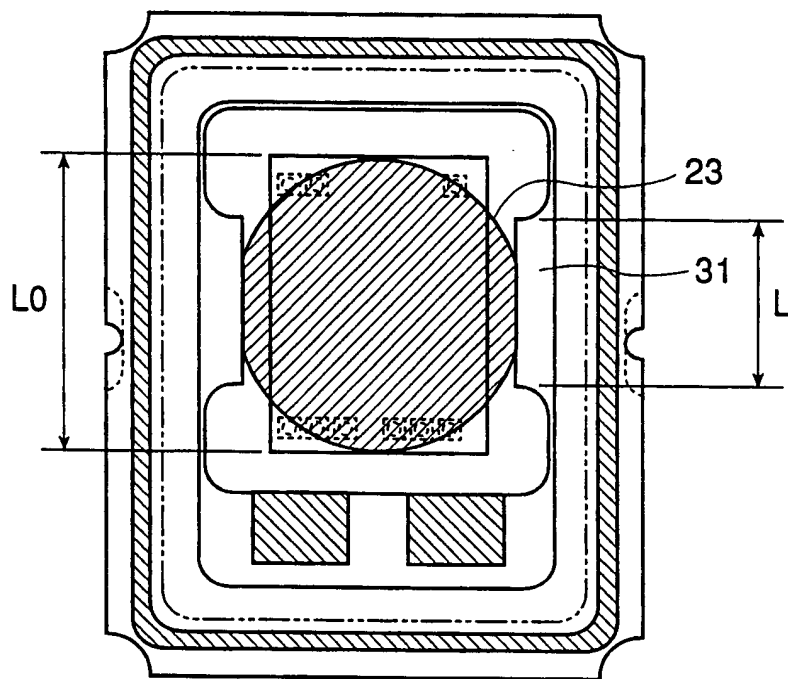


(a)

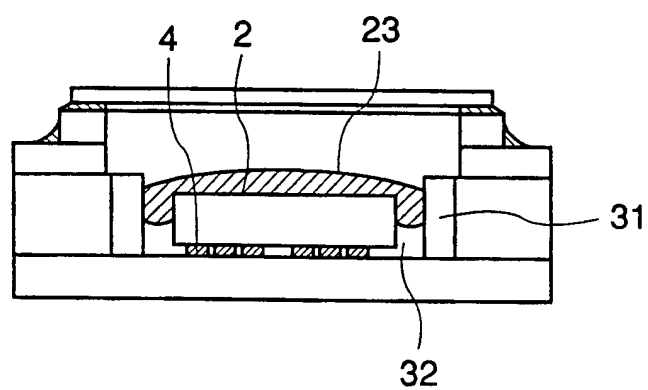


(b)

Fig. 11



(a)



(b)

10 / 12

Fig. 12

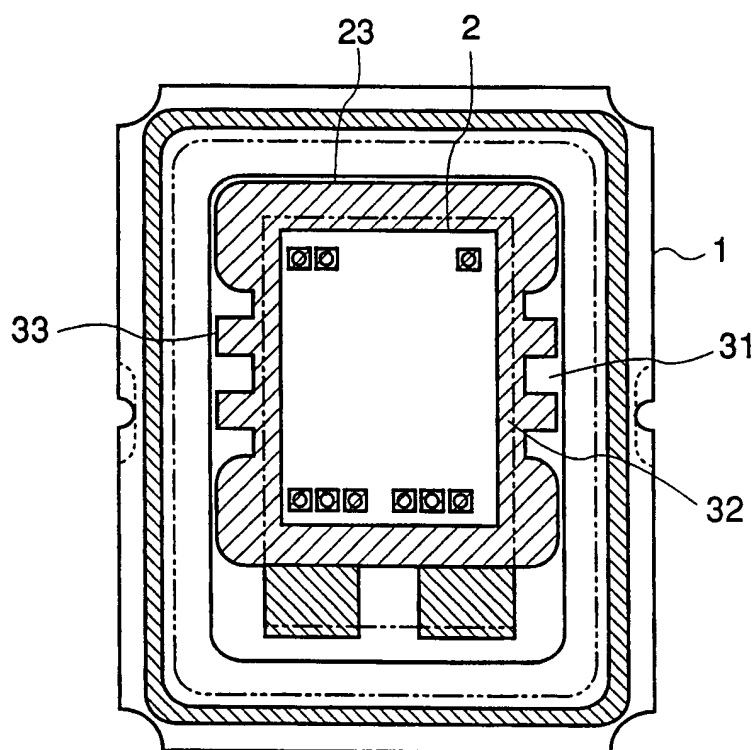
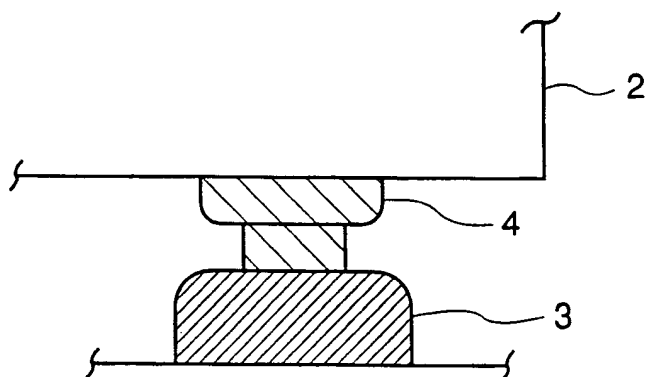


Fig. 13



11 / 12

Fig. 14

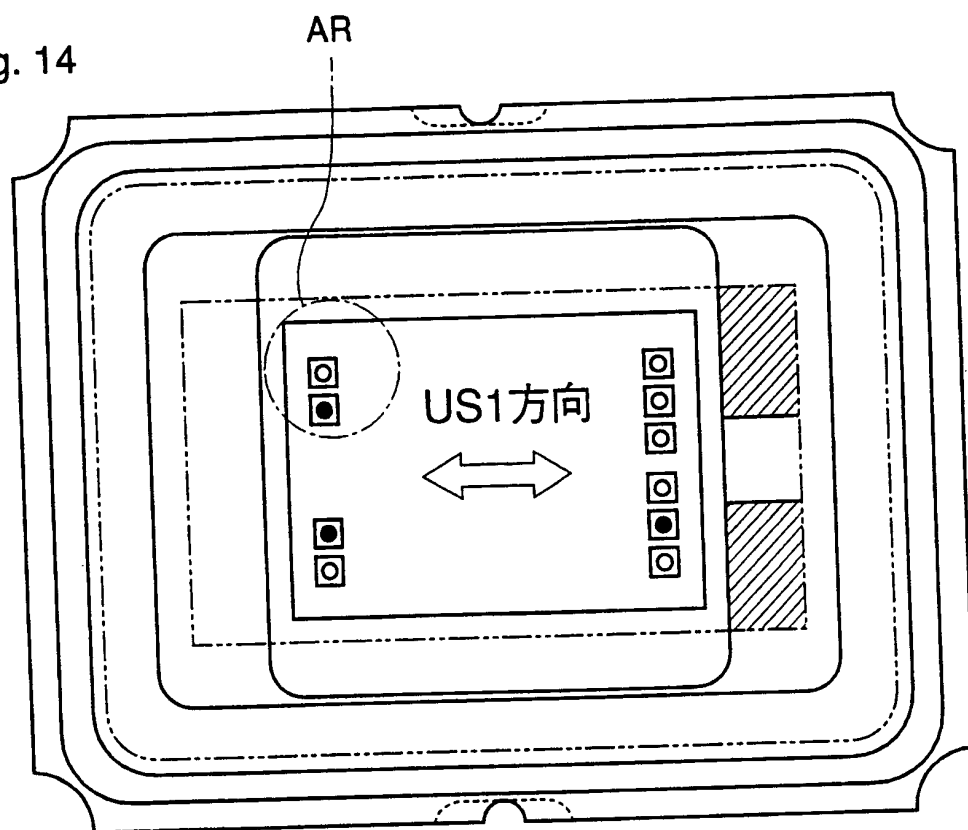
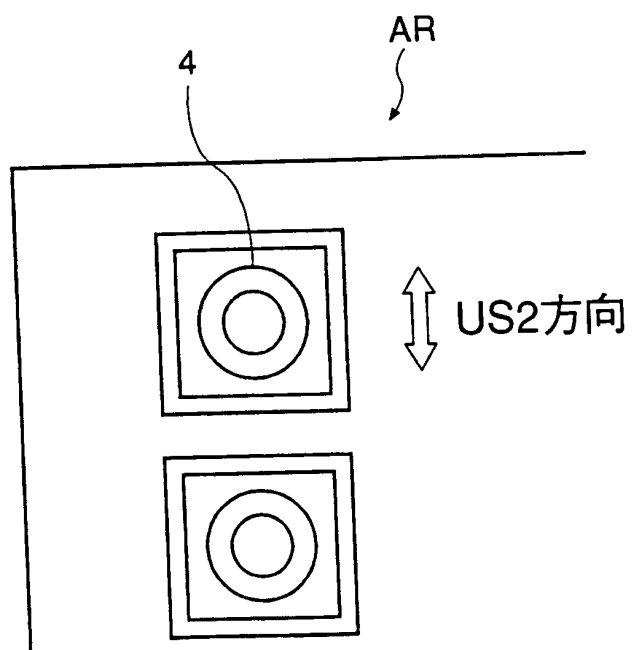
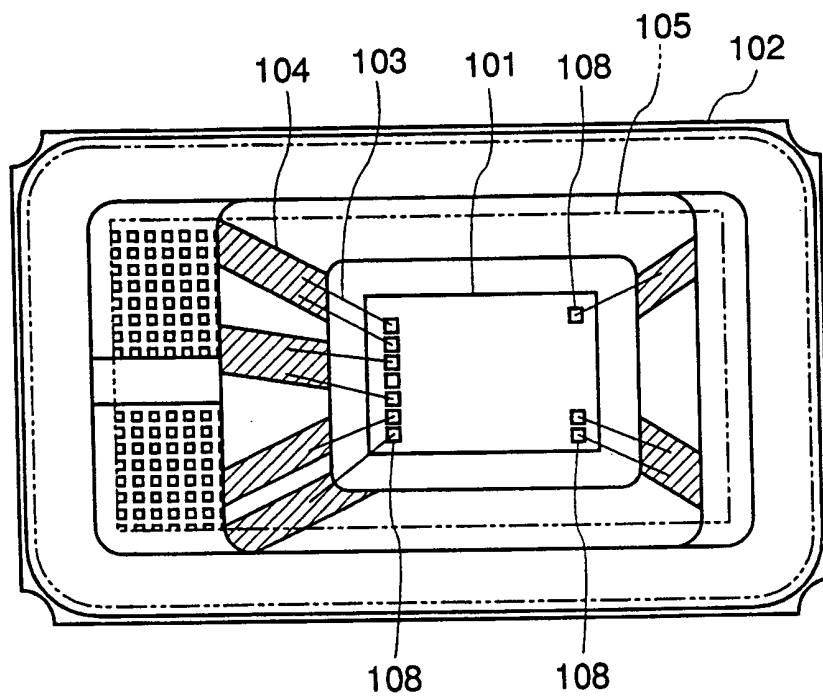


Fig. 15

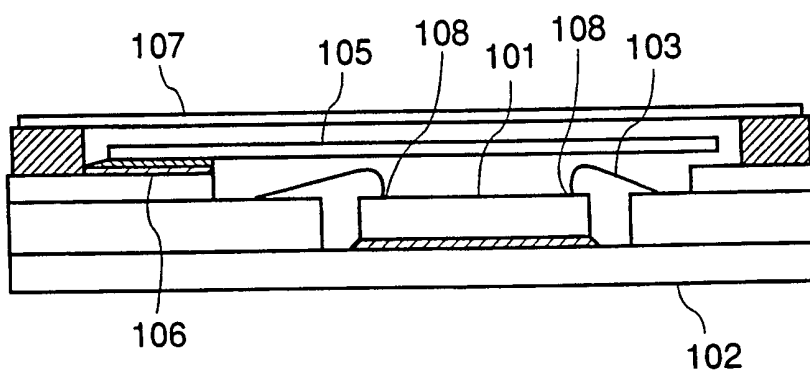


12 / 12

Fig. 16



(a)



(b)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06091

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl.⁷

H03B 5/32 H03H 9/10 H03H 3/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl.⁷

H03B 5/30 - 5/42

H01L21/00 H03H 3/02 H03H 9/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST (JOIS)

INSPEC (DIALOG)

WPI/L (DIALOG)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 7-297666, A (Daishinku Co.), 10 November, 1995 (10.11.95) (Family: none)	1-5, 7-9, 14-17, 19-22, 25-28, 31, 32
A		6, 10-13, 18, 23, 24, 29, 30
EY	JP, 11-186850, A (SII Quartz Techno K.K.), 09 July, 1999 (09.07.99) (Family: none)	1-5, 7-9, 14-17, 19-22, 25-28, 31, 32
EA		6, 10-13, 18, 23, 24, 29, 30
EY	JP, 11-308052, A (Toyo Communication Equipment Co., Ltd.), 05 November, 1999 (05.11.99), especially, Fig. 4 and page 2, left column, line 36 to right column, line 19	1-5, 7-9, 14-17, 19-22, 25-28, 31, 32
EA	(Family: none)	6, 10-13, 18, 23, 24, 29, 30
EX	JP, 11-354587, A (Toyo Communication Equipment Co., Ltd.), 24 December, 1999 (24.12.99) (Family: none)	14, 20, 21
EY		1-5, 7-9, 15-17, 19, 22, 25-28, 31, 32

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not
 considered to be of particular relevance
 "E" earlier document but published on or after the international filing
 date
 "L" document which may throw doubts on priority claim(s) or which is
 cited to establish the publication date of another citation or other
 special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other
 means
 "P" document published prior to the international filing date but later
 than the priority date claimed

"T" later document published after the international filing date or
 priority date and not in conflict with the application but cited to
 understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be
 considered novel or cannot be considered to involve an inventive
 step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be
 considered to involve an inventive step when the document is
 combined with one or more other such documents, such
 combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
 21 January, 2000 (21.01.00)

Date of mailing of the international search report
 01 February, 2000 (01.02.00)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06091

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
EA		6, 10-13, 18, 23, 24, 29, 30
Y	JP, 10-284972, A (Toyo Communication Equipment Co., Ltd.), 23 October, 1998 (23.10.98), especially, page 3, left column, lines 25-31 (Family: none)	9, 21, 22, 28, 31, 32
Y	JP, 9-148381, A (Dainippon Printing Co., Ltd.), 06 June, 1997 (06.06.97) (Family: none)	2, 9, 14, 15, 21, 22, 28, 31, 32
Y	JP, 8-264540, A (NEC Corporation), 11 October, 1996 (11.10.96) (Family: none)	7, 9, 19, 21, 25, 26, 28
Y	JP, 4-18732, A (Mitsubishi Electric Corporation), 22 January, 1992 (22.01.92) (Family: none)	3
Y	JP, 8-222606, A (Alps Electric Co., Ltd.), 30 August, 1996 (30.08.96) (Family: none)	2, 4, 5, 15-17
A	H. Yatsuda, T. Horishima, T. Eimura, and T. Ooiwa, "Miniaturized SAW Filters Using a Flip-Chip Technique," IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, Vol.43, No.1, (Jan 1996), pp.125-129	1-32

国際調査報告

国際出願番号 PCT/JP99/06091

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl'

H03B 5/32 H03H 9/10 H03H 3/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl'

H03B 5/30 - 5/42
H01L21/00 H03H 3/02 H03H 9/10

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)

JICSTファイル (JOIS)

INSPEC (DIALOG)

WPI/L (DIALOG)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP, 7-297666, A (大真空) 10. 11月. 1995 (10. 11. 95) (ファミリーなし)	1-5, 7-9, 14-17, 19-22, 25-28, 31, 32 6, 10-13, 18, 23, 24, 29, 30

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

21. 01. 00

国際調査報告の発送日

01.02.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

丸山 高政

5W

9570

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
EY EA	J P, 11-186850, A (株式会社エスアイアイ・クォーツテクノ) 9. 7月. 1999 (09. 07. 99) (ファミリーなし)	1-5, 7-9, 14-17, 19-22, 25-28, 31, 32 6, 10-13, 18, 23, 24, 29, 30
EY EA	J P, 11-308052, A (東洋通信機株式会社) 5. 11月. 1999 (05. 11. 99) 特に図4及び第2頁左欄第36行~同右欄第19行参照 (ファミリーなし)	1-5, 7-9, 14-17, 19-22, 25-28, 31, 32 6, 10-13, 18, 23, 24, 29, 30
EX EY EA	J P, 11-354587, A (東洋通信機株式会社) 24. 12月. 1999 (24. 12. 99) (ファミリーなし)	14, 20, 21 1-5, 7-9, 15-17, 19, 22, 25-28, 31, 32 6, 10-13, 18, 23, 24, 29, 30
Y	J P, 10-284972, A (東洋通信機株式会社) 23. 10月. 1998 (23. 10. 98) 特に第3頁左欄第25行~第31行参照 (ファミリーなし)	9, 21, 22, 28, 31, 32
Y	J P, 9-148381, A (大日本印刷株式会社) 6. 6月. 1997 (06. 06. 97) (ファミリーなし)	2, 9, 14, 15, 21, 22, 28, 31, 32
Y	J P, 8-264540, A (日本電気株式会社) 11. 10月. 1996 (11. 10. 96) (ファミリーなし)	7, 9, 19, 21, 25, 26, 28
Y	J P, 4-18732, A (三菱電機株式会社) 22. 1月. 1992 (22. 01. 92) (ファミリーなし)	3
Y	J P, 8-222606, A (アルプス電気株式会社) 30. 8月. 1996 (30. 08. 96) (ファミリーなし)	2, 4, 5, 15-17
A	H. Yatsuda, T. Horishima, T. Eimura, and T. Ooiwa, "Miniaturized SAW Filters Using a Flip-Chip Technique," IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, Vol.43, No.1, (Jan 1996), pp.125-129	1-32